

产品特性

高达400 MHz的高性能Blackfin处理器

2个16位MAC、2个40位ALU、4个8位视频ALU、40位移位器
RISC式寄存器和指令模型，简化编程并提供编译器相关支持
高级调试、追踪和性能监控功能

内部和I/O操作支持宽范围的电源电压，参见第16页的工作条件
片外电压调节器接口

64引脚(9 mm x 9 mm) LFCSP封装

存储器

68KB内核可访问存储器

(L1和L3存储器大小详见第3页的表1)

64KB L1指令ROM

灵活的引导选项：内部L1 ROM、SPI存储器或主机(包括SPI、
PPI和UART)

存储器管理单元提供存储器保护

外设

4个32位定时器/计数器，三个支持PWM

2个双通道、全双工同步串行端口(SPORT)，支持8个立体声I²S
通道

2个串行外设接口(SPI)兼容端口

1个支持IrDA的UART

并行外设接口(PPI)，支持ITU-R 656视频数据格式

2线接口(TWI)控制器

9个外设DMA

2个存储器间DMA通道

具有28个中断输入的事件处理器

32个通用I/O (GPIO)，带可编程磁滞

调试/JTAG接口

片内PLL支持频率调制

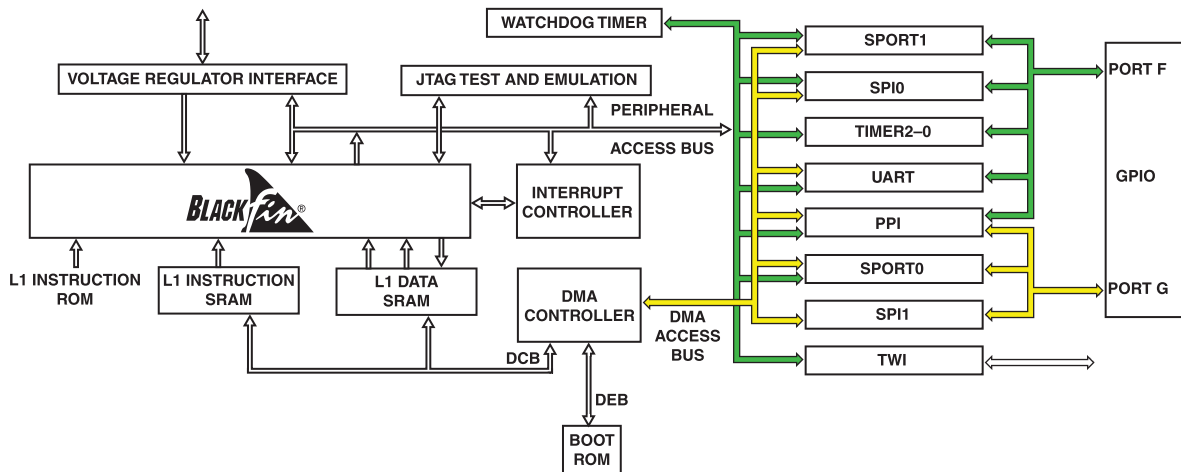


图1. 处理器功能框图

Blackfin和Blackfin标志均为ADI公司的注册商标。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective companies.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 U.S.A.
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	相关信号链	13
存储器	1	信号描述	14
外设	1	技术规格	16
概述	3	工作条件	16
便携式低功耗架构	3	电气特性	18
系统集成	3	绝对最大额定值	20
Blackfin处理器内核	3	ESD灵敏度	20
存储器架构	5	封装信息	21
事件处理	5	时序规格	22
DMA控制器	6	输出驱动电流	36
处理器外设	6	测试条件	37
动态电源管理	8	环境条件	40
电压调节	9	64引脚LFCSP封装引脚分配	41
时钟信号	9	外形尺寸	43
引导模式	11	汽车应用产品	44
指令集描述	12	订购指南	44
开发工具	12		
其它信息	13		

修订历史

2013年7月—修订版A至修订版B

更正处理器功能框图	1
更新开发工具	12
更新信号描述中的文字	14
更正表14(绝对最大额定值)中的 V_{DDINT} 额定值	20

概述

ADSP-BF592处理器属于Blackfin®系列产品，采用ADI公司/Intel微信号架构(MSA)。Blackfin处理器将先进的双MAC信号处理引擎、干净且正交的RISC式微处理器指令集的优势和单指令、多数据流(SIMD)多媒体能力结合为一个指令集架构。

ADSP-BF592处理器与其它Blackfin处理器完全代码兼容。ADSP-BF592处理器提供最高400 MHz的性能，静态功耗更低。处理器特性如表1所示。

表1. 处理器特性

特性	ADSP-BF592	
带PWM的定时器/计数器	3	
SPORTs	2	
SPIs	2	
UART	1	
并行外设接口	1	
TWI	1	
GPIOs	32	
存储器(字节)	L1指令SRAM	32K
	L1指令ROM	64K
	L1数据SRAM	32K
	L1暂存SRAM	4K
	L3引导ROM	4K
最大指令速率 ¹	400 MHz	
最大系统时钟速度	100 MHz	
封装选项	64引脚 LFCSP	

¹ 不是所有SCLK选择都可以使用最大指令速率。

Blackfin处理器集成了许多业界领先的系统外设和丰富的存储器，在一个集成封装中提供RISC式编程能力、多媒体支持和先进的信号处理，堪称新一代应用的首选平台。

便携式低功耗架构

Blackfin处理器提供世界一流的电源管理和性能。它们采用低功耗和低电压设计，片内集成动态电源管理，能够改变工作电压和频率，从而显著降低整体功耗。与仅能改变工作频率的方法相比，这种方法能够大幅降低功耗，延长便携式设备的电池续航时间。

系统集成

ADSP-BF592处理器是高集成度片上系统解决方案，适用于新一代数字通信和消费多媒体应用。利用业界标准接口与高性能信号处理内核的完美结合，高性价比应用能够快速完成开发，而无需昂贵的外部器件。系统外设包括：1个看门狗定时器；3个支持PWM的32位定时器/计数器；2个双通道、全双工同步串行端口(SPORT)；2个串行外设接口(SPI)兼容端口；1个支持IrDA的UART®；1个并行外设接口(PPI)；以及1个双线接口(TWI)控制器。

Blackfin处理器内核

如图2所示，Blackfin处理器内核包含2个16位乘法器、2个40位累加器、2个40位ALU、4个视频ALU和1个40位移位器。计算单元处理来自寄存器文件的8位、16位或32位数据。

计算寄存器文件包含8个32位寄存器。对16位操作数数据执行运算时，寄存器文件作为16个独立的16位寄存器工作。用于运算的所有操作数都来自多端口寄存器文件和指令常数字段。

每个MAC在每个周期可以执行一个16位乘16位乘法，结果累加到40位累加器中。支持带符号和无符号格式、舍入以及饱和。

ALU用于对16位或32位数据执行传统的算术和逻辑运算。此外，它还包括许多特殊指令，以便加速多种信号处理任务的执行。特殊指令包括字段提取和二进制位个数统计等位操作、模232乘法、除法原语、饱和和舍入、符号/指数检测。视频指令集包括字节对齐和打包操作、16位和8位截除加法、8位平均操作、8位减法/绝对值/累加(SAA)操作。此外还提供比较/选择和矢量搜索指令。

对于某些指令，两个16位ALU操作可以在寄存器对(一个计算寄存器的16位高半部分和16位低半部分)上同时执行。如果使用第二个ALU，则可以同时执行4个16位操作。

40位移位器可以执行移位和旋转，用于支持归一化、字段提取和字段存放指令。

程序序列器控制指令执行流程，包括指令对齐和解码。对于程序流程控制，该序列器支持PC相对和间接条件跳转(带静态分支预测)以及子例程调用。硬件支持零开销循环。该架构完全联锁，意味着在执行具有数据相关性的指令时，编程人员无需管理流水线。

ADSP-BF592

地址算法单元提供两个地址，用于实现同时双取存储器操作。它包含一个多端口寄存器文件，该寄存器文件由4组32位索引、更改、长度、基础寄存器(用于循环缓冲)和8个附加32位指针寄存器(用于C式索引堆栈操作)组成。

Blackfin处理器支持一种改进型Harvard架构和分层存储器结构。第一级(L1)存储器通常以处理器最高速度工作，延迟非常短或无延迟。在L1层，指令存储器仅保存指令。数据存储器保存数据，一个专用暂存数据存储器存储堆栈和本地变量信息。

提供了多个L1存储器模块。存储器管理单元(MMU)为可能在内核上工作的各个任务提供存储器保护，并且能够防止对系统寄存器进行非预期的访问。

该架构提供三种工作模式：用户模式、管理员模式和仿真模式。用户模式对某些系统资源的访问权限是有限制的，从而提供一种受保护的软件环境，而管理员模式则能无限制地访问系统和内核资源。

Blackfin处理器的指令集经过优化，16位操作码代表最常用的指令，因而可获得出色的编译代码密度。复杂的DSP指令则编码为32位操作码，以实现完备的多功能指令。Blackfin处理器支持有限的指令级并行功能，一个32位指令可以与两个16位指令并行发出，使得编程人员能在一个指令周期中使用许多内核资源。

Blackfin处理器的汇编语言使用代数语法，易于编码和阅读。该架构经过优化，能够与C/C++编译器一起使用，软件实现快速、高效。

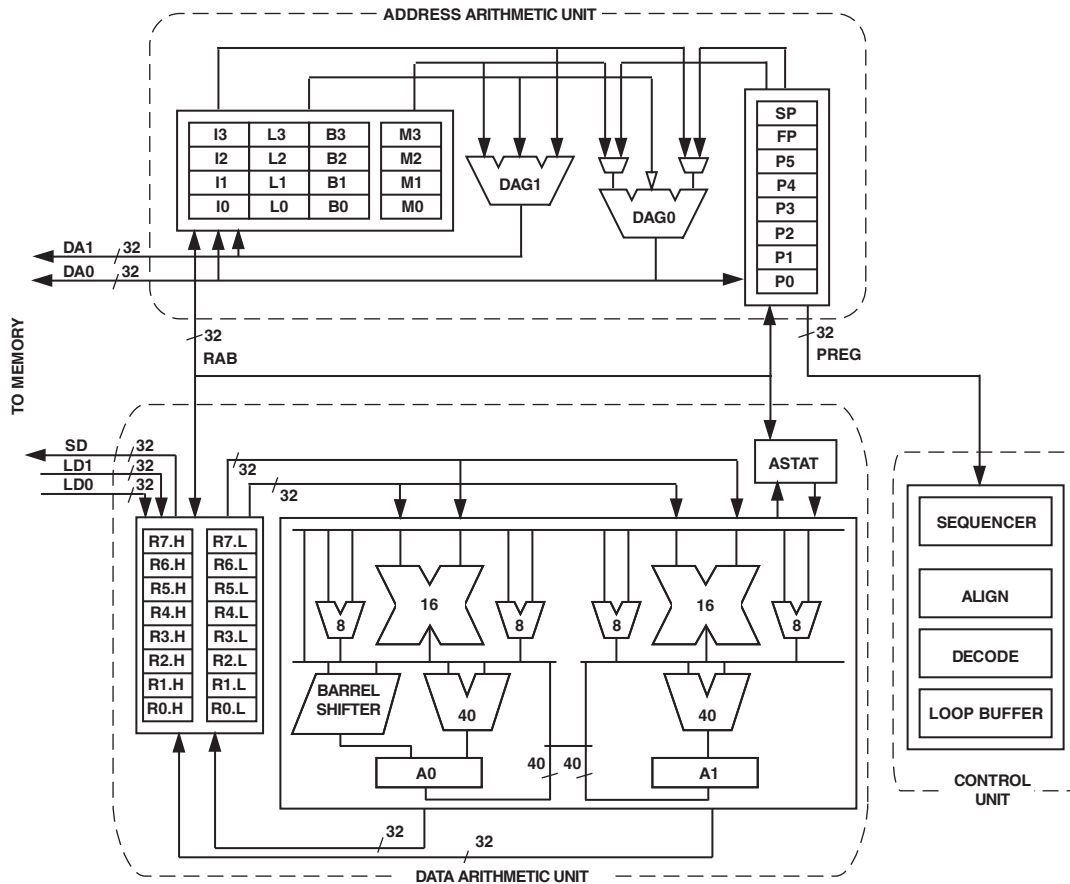


图2. Blackfin处理器内核

存储器架构

Blackfin处理器将存储器视为一个统一的4GB地址空间，使用32位地址。所有资源，包括内部存储器和I/O控制寄存器，都占据这一公共地址空间中的不同部分。参见图3。

内核可访问L1存储器系统是一个内核时钟频率工作的高性能内部存储器。外部总线接口单元(EBIU)用于访问引导ROM。

存储器DMA控制器提供高带宽数据移动能力，它能在L1指令SRAM与L1数据SRAM存储器空间之间以块形式传输代码或数据。

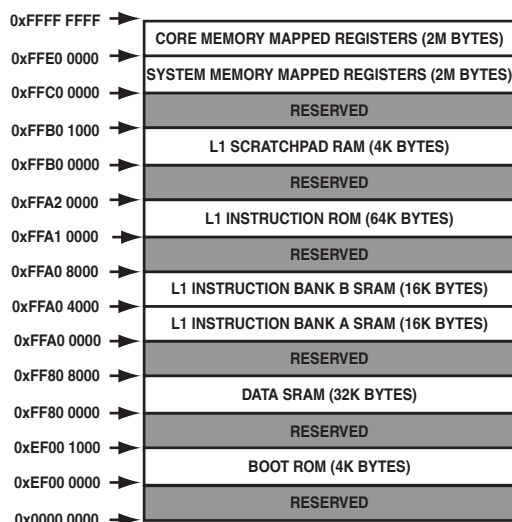


图3. 内部/外部存储器映射

内部(内核访问)存储器

处理器具有三个内核可访问的存储器模块，用于提供高带宽的内核访问。

第一个模块为L1指令存储器，包括32KB SRAM。该存储器支持以处理器最高速度进行访问。

第二个内核可访问存储器模块为L1数据存储器，包括32KB。该存储器模块支持以处理器最高速度进行访问。

第三个存储器模块为4KB L1暂存SRAM，工作速度与其他L1存储器相同。

L1实用工具ROM

L1指令ROM包含实用工具ROM代码，包括TMK(VDK内核)、C运行时库和DSP库。详情参见VisualDSP++文档。

定制ROM(可选)

ADSP-BF592的片内L1指令ROM可以定制以包含具有下列功能的用户代码：

- 64KB L1指令ROM用于存储定制代码
- 能够限制访问片内ROM的所有或特定分段。

希望定制片内ROM以满足应用需求的客户，应联系ADI销售部门以了解关于条款和条件的更多信息以及关于技术实现的详细信息。

I/O存储器空间

处理器未定义单独的I/O空间。所有资源都通过平坦的32位地址空间映射。片内I/O器件的控制寄存器映射到地址靠近该4GB地址空间顶部的存储器映射寄存器(MMR)。它分为两个较小的模块，一个包含所有核心功能的控制MMR，另一个包含用于设置和控制内核外部的片内外设所需的寄存器。这些MMR只能在管理员模式下进行访问，对片内外设而言是保留空间。

从ROM引导

处理器包含一个很小的片内引导内核，用于配置适当的外设以便启动。如果处理器配置为从引导ROM存储器空间引导，则处理器从片内引导ROM开始执行。更多信息请参见第11页的引导模式。

事件处理

处理器的事件控制器处理处理器的所有异步和同步事件。处理器提供的事件处理支持嵌套和优先级设置。嵌套允许多个事件服务例程同时有效。优先级设置可确保高优先级事件的处理先于低优先级事件的处理。控制器支持下列五种不同类型的事件：

- 仿真—仿真事件会使处理器进入仿真模式，从而通过JTAG接口执行处理器的命令和控制功能。
- RESET—该事件会使处理器复位。
- 无法屏蔽的中断(NMI)—NMI事件可以由软件看门狗定时器或处理器的NMI输入信号产生。NMI事件常常用作关断指示来启动系统的有序关断。

- 异常—与程序流程同步发生的事件(换言之, 异常发生在指令执行完毕之前)。诸如数据对齐违规和未定义的指令等条件会引发异常。
- 中断—与程序流程异步发生的事件, 由输入信号、定时器、其它外设和显式软件指令引发。

每种事件类型都有一个相关的寄存器来保存返回地址, 以及一个相关的“从事件返回”指令。触发一个事件时, 处理器的状态保存在管理员堆栈。

处理器的事件控制器包括两级: 内核事件控制器(CEC)和系统中断控制器(SIC)。内核事件控制器与系统中断控制器配合使用, 设置优先级并控制所有系统事件。理论上, 来自外设的中断进入SIC, 然后直接路由到CEC的通用中断。

内核事件控制器(CEC)

除了专用中断和异常事件外, CEC还支持9个通用中断(IVG15-7)。在这些通用中断中, 建议将2个最低优先级中断(IVG15-14)保留用于软件中断处理器, 其余7个中断输入用于支持处理器的外设。CEC的输入、其在事件矢量表(EVT)中的名称及其优先级, 详见《ADSP-BF59x Blackfin处理器硬件参考手册》(ADSP-BF59x Blackfin Processor Hardware Reference)的“系统中断”(System Interrupts)一章。

系统中断控制器(SIC)

系统中断控制器提供从许多外设中断源到设有优先级的CEC通用中断输入的事件映射和路由。虽然处理器提供了默认映射, 但用户可以向中断分配寄存器(SIC_IARx)写入适当的值, 从而改变中断事件的映射和优先级。SIC的输入以及到CEC的默认映射, 详见《ADSP-BF59x Blackfin处理器硬件参考手册》的“系统中断”一章。

SIC还提供三对32位中断控制和状态寄存器, 支持对事件处理进行进一步控制。每个寄存器都包含与各个外设中断事件对应的位。更多信息参见《ADSP-BF59x Blackfin处理器硬件参考手册》的“系统中断”一章。

DMA控制器

处理器具有多个独立的DMA通道, 支持自动数据传输, 处理器内核的开销极小。DMA传输可以在处理器的内部存储器与任何支持DMA的外设之间进行。支持DMA的外设包括SPORT、SPI端口、UART和PPI。每个支持DMA的外设至少有一个专用DMA通道。

处理器的DMA控制器支持一维(1D)和二维(2D) DMA传输。DMA传输初始化可以从寄存器或称为描述符模块的参数集实现。

二维DMA能力支持最大64K单元乘64K单元的任意大小行和列, 以及最大±32K单元的任意行和列步长。此外, 列步长可以小于行步长, 从而实现交错数据流, 这一特性在可以即时解交错数据的视频应用中特别有用。

处理器DMA控制器支持许多DMA类型, 举例如下:

- 完成时停止的单通道线性缓冲器
- 每当缓冲器全满或部分充满时便中断的循环、自动刷新式缓冲器
- 使用描述符链表的一维或二维DMA
- 使用描述符阵列的二维DMA, 在同一页内仅指定基础DMA地址

除了专用外设DMA通道之外, 还有两个存储器DMA通道, 用来在处理器系统的各种存储器之间传输数据, 以最大程度地减少处理器干预。存储器DMA传输可以通过一种非常灵活的基于描述符的方法加以控制, 或者通过一种基于寄存器的标准自动缓冲机制加以控制。

处理器外设

ADSP-BF592处理器包括丰富的外设, 它们通过多条高带宽总线连接到内核, 提供灵活的系统配置和出色的整体系统性能(参见图1)。处理器还含有专用通信模块和高速串行/并行端口、用于灵活管理片内外设或外部来源中断事件的中断控制器, 以及根据不同应用情况调整处理器和系统的性能与功耗特性的电源管理控制功能。

灵活的DMA结构支持SPORT、SPI、UART和PPI外设。还有独立的存储器DMA通道, 专门用来支持处理器不同存储器空间之间的数据传输, 包括引导ROM。多条片内总线(最高运行速率100 MHz)提供的带宽足以让处理器内核与所有片内和片外外设同时工作。

ADSP-BF592处理器内置连接片外稳压器的接口, 用以支持处理器的动态电源管理功能。

看门狗定时器

处理器包括一个32位定时器, 可以利用它来实现软件看门狗功能。软件看门狗可以提高系统可用性, 如果定时器在软件复位之前超时, 它将通过产生硬件复位、不可屏蔽的中断(NMI)或通用中断, 迫使处理器进入已知状态。编程人员初始化计时器的计数值, 使能适当的中断, 然后使能定时器。此后, 在计数器从编程值计数到0之前, 软件必须重新加载计数器。这样在软件(正常情况下会复位定时器)由于外部噪声条件或软件错误而停止运行时, 可以防止系统一直处于未知状态。

如果配置为产生硬件复位，看门狗定时器将同时复位内核和处理器外设。复位后，软件可以查询看门狗定时器控制寄存器的状态位，确定看门狗是否为硬件复位源。

该定时器由系统时钟(SCLK)提供时钟，最大频率为 f_{SCLK} 。

定时器

处理器有4个通用可编程定时器单元。3个定时器具有外部引脚，可以将其配置为脉宽调制器(PWM)、定时器输出、定时器的时钟输入或用于测量脉宽和外部事件周期的机制。这些定时器可以与多个其它相关PF引脚的外部时钟输入、PPI_CLK输入引脚的外部时钟输入或内部SCLK同步。

这些定时器可以与UART一起使用，测量数据流的脉冲宽度，为相应的串行通道提供软件自动波特率检测功能。

这些定时器可以产生处理器内核中断，提供用于与系统时钟或外部信号计数同步的周期性事件。

除了3个通用可编程定时器之外，还提供了第4个定时器。这个额外的定时器由处理器内部时钟提供时钟信号，通常用作系统周期时钟来产生操作系统周期性中断。

串行端口

ADSP-BF592处理器集成两个双通道同步串口(SPORT0和SPORT1)，用于串行和多处理器通信。SPORT支持下列特性：

串行端口数据可以通过专用DMA通道自动写入和读取片内存储器/外部存储器。每个串行端口都可以与另一个串行端口合作以提供TDM支持。在这种配置中，一个SPORT提供两个发送信号，另一个SPORT提供两个接收信号。帧同步和时钟共享。

串行端口有五种工作模式：

- 标准DSP串行模式
- 多通道(TDM)模式
- I²S模式
- 包装I²S模式
- 左对齐模式

串行外设接口(SPI)端口

处理器具有两个SPI兼容型端口，可以与多个SPI兼容型器件通信。

SPI接口使用三个引脚传输数据：两个数据引脚(主机输出/从机输入-MOSI和主机输入/从机输出-MISO)和一个时钟引脚(串行时钟-SCK)。其它SPI器件利用一个SPI片选输入引脚(SPIx_SS)选择处理器，处理器利用许多SPI片选输出引脚(SPIx_SEL7-1)选择其它SPI器件。SPI选择引脚是重新配置的通用I/O引脚。利用这些引脚，SPI端口提供一个全双工、同步串行接口，支持主机/从机模式和多主机环境。

UART端口

ADSP-BF592处理器提供一个全双工通用异步接收器/发送器(UART)端口，它与PC标准UART完全兼容。UART端口提供一个简化的UART接口用于连接其它外设或主机，支持全双工、DMA、异步串行数据传输。UART端口支持5到8个数据位、1或2个停止位以及无、奇或偶校验。UART端口支持两种工作模式：

- PIO(编程I/O)—处理器通过写入或读取I/O映射UART寄存器来发送或接收数据。发送和接收数据均为双缓冲。
- DMA(直接存储器访问)—DMA控制器传输发送和接收数据。这可以减少存储器数据传输所需的中断数量和频率。UART具有两个专用DMA通道，一个用于发送，一个用于接收。由于服务速率相对较低，这些DMA通道的优先级低于大多数其它DMA通道。

并行外设接口(PPI)

处理器提供一个并行外设接口(PPI)，它可以直接连接并行模数和数模转换器、视频编码器和解码器，以及其它通用外设。PPI由1个专用输入时钟引脚、最多3个帧同步引脚和最多16个数据引脚组成。输入时钟支持最高为系统时钟速率一半的并行数据速率，同步信号可以配置为输入或输出。

PPI支持多种通用和ITU-R 656工作模式。在通用模式下，PPI提供最多16位的半双工、双向数据传输。此外还提供最多3个帧同步信号。在ITU-R 656模式下，PPI提供8位或10位视频数据的半双工双向传输。另外还支持对嵌入式行起始(SOL)和场起始(SOF)前导码数据包进行片内解码。

通用模式描述

PPI的通用模式适合许多不同的数据捕捉和传输应用。PPI支持下列三种不同的子模式：

- 输入模式 — 帧同步和数据输入PPI。输入模式旨在用于ADC应用，以及通过硬件信号进行视频通信。
- 帧捕捉模式 — 帧同步从PPI输出，但输入数据。在这种模式下，视频源可以用作从机(例如：用于帧捕捉)。
- 输出模式 — 帧同步和数据从PPI输出。输出模式用于传输视频或其它数据，最多支持3个输出帧同步。

ITU-R 656模式描述

PPI的ITU-R 656模式适合许多不同的视频捕捉、处理和传输应用。PPI支持下列三种不同的子模式：

- 仅有效视频模式 — 当只需要一个场的有效视频部分，而不需要任何消隐间隔时，应使用仅有效视频模式。
- 仅垂直消隐模式 — 这种模式下，PPI仅传输垂直消隐间隔(VBI)数据。
- 全域模式 — 这种模式下，通过PPI读入整个输入位流。

TWI控制器接口

处理器包括一个双线接口(TWI)模块，用于在多个器件之间进行简单的控制数据交换。TWI在功能上兼容广泛使用的I²C总线标准。TWI模块能够同时以主机和从机工作，支持7位寻址和多媒体数据仲裁。TWI接口利用两个引脚传输时钟(SCL)和数据(SDA)，支持最高速度为400 kb/s的协议。

TWI模块兼容串行相机控制总线(SCCB)功能，可轻松控制各种CMOS相机传感器。

端口

处理器将许多外设信号分组送至两个端口—端口F和端口G。多数相关引脚都由多个信号共享。这些端口担当多路复用器控制功能。

通用I/O (GPIO)

处理器具有32个双向通用I/O (GPIO)引脚，这些引脚分配到两个独立的GPIO模块：PORTFIO和PORTGIO，它们分别与端口F和端口G相关。每个支持GPIO的引脚通过一个复用方案与处理器的其它外设共享功能，不过，GPIO功能是器件上电时的默认状态。GPIO输出和输入驱动器默认禁用。每个通用端口引脚都可以通过操纵端口控制、状态和中断寄存器进行控制。

动态电源管理

处理器提供五种工作模式，各种模式具有不同的性能/功耗特征。此外，利用动态电源管理提供的控制功能，可以动态改变处理器内核电源电压，从而进一步降低功耗。当内核电源电压配置为0 V时，处理器进入休眠状态。控制各处理器外设的时钟也可以降低功耗。表2总结了各种模式的电源设置。

表2. 电源设置

模式/状态	PLL	PLL旁路	内核时钟 (CCLK)	系统时钟 (SCLK)	内核电源
全开	使能	否	使能	使能	开
有源	使能/禁用	是	使能	使能	开
休眠	使能	—	禁用	使能	开
深度睡眠	禁用	—	禁用	禁用	关
休眠	禁用	—	禁用	禁用	关

全开工作模式—最高性能

在全开模式下，PLL使能且未被旁路，能够以最高频率工作。这是上电默认执行状态，可以实现最高性能。处理器内核和所有使能的外设以全速工作。

有效工作模式—中等动态省电

在有效模式下，PLL使能但被旁路。由于PLL被旁路，因此处理器的内核时钟(CCLK)和系统时钟(SCLK)以输入时钟(CLKIN)频率运行。对于适当配置的L1存储器，可以执行DMA访问。

有关PLL控制的更多信息，参见“ADSP-BF59x Blackfin处理器硬件参考中的动态电源管理”部分。

休眠工作模式—高度动态省电

休眠模式通过禁用处理器内核的时钟(CCLK)来降低动态功耗，但PLL和系统时钟(SCLK)仍然正常工作。通常而言，外部事件可唤醒处理器。

休眠模式不支持对L1存储器进行系统DMA访问。

深度睡眠工作模式—最大动态省电

深度休眠模式通过禁用处理器内核的时钟(CCLK)和所有同步外设的时钟(SCLK)来最大程度地降低动态功耗。异步外设仍然可以运行，但不能访问内部资源或外部存储器。要退出这种省电模式，必须置位复位中断(RESET)，或者通过GPIO引脚产生的异步中断退出。

注意，使用GPIO引脚来触发器件从深度休眠中唤醒时，设置的唤醒电平必须保持至少10 ns以保证能被检测到。

休眠状态—最大静态省电

休眠模式通过禁用处理器内核(CCLK)和所有外设(SCLK)的时钟来最大程度地降低静态功耗，并告知外部稳压器可以关断 V_{DDINT} 。断电之前，如果要保存处理器状态，必须将任何内部存储的关键信息(如存储器内容、寄存器内容和其它信息)写入非易失性存储器。将b#0写入HIBERNATE位会使EXT_WAKE变为低电平，这可以用来指示外部稳压器关断。

由于该模式下仍能提供 V_{DDEXT} ，因此所有外部引脚均处于三态，除非另有规定。这样，其它可能连接到处理器的器件仍然可以带电，但不消耗无谓的电流。

在休眠期间，只要存在 V_{DDEXT} ，VR_CTL寄存器就会保持其状态不变，但所有其它内部寄存器和存储器都会丧失内容。

省电功能

如表3所示，处理器支持2个不同的电源域，以便在符合工业标准和惯例的同时提供最大的灵活性。通过将处理器的内部逻辑与其它I/O隔离并划入其自己的电源域，处理器便可以利用动态电源管理，而不会影响其它I/O器件。各种电源域没有时序控制要求，但所有电源域都必须按照处理器工作条件中的相应**技术规格**表来通电，即使不使用某一特性/外设。

表3. 电源域

电源域	V_{DD} 范围
所有内部逻辑和存储器	V_{DDINT}
所有其它I/O	V_{DDEXT}

处理器的动态电源管理功能可以动态控制处理器的输入电压(V_{DDINT})和时钟频率(f_{CCLK})。

处理器的功耗在很大程度上与其时钟频率和工作电压的平方成比例。例如，时钟频率降低25%将导致动态功耗降低25%，而工作电压降低25%则会使动态功耗降低40%以上。此外，这些省电方式是可以叠加的，如果时钟频率和电源电压均降低，功耗将显著降低，如下式所示。

省电系数

$$= \frac{f_{CCLKRED}}{f_{CCLKNOM}} \times \left(\frac{V_{DDINTRED}}{V_{DDINTNOM}} \right)^2 \times \left(\frac{T_{RED}}{T_{NOM}} \right)$$

$$\% \text{省电} = (1 - \text{省电系数}) \times 100\%$$

其中：

$f_{CCLKNOM}$ 表示标称内核时钟频率

$f_{CCLKRED}$ 表示降低后的内核时钟频率

$V_{DDINTNOM}$ 表示标称内部电源电压

$V_{DDINTRED}$ 表示降低后的内部电源电压

T_{NOM} 表示以 $f_{CCLKNOM}$ 工作的时间

T_{RED} 表示以 $f_{CCLKRED}$ 工作的时间

电压调节

ADSP-BF592处理器需要一个外部电压调节器来为 V_{DDINT} 电源域供电。为了降低待机功耗，可以通过EXT_WAKE指示外部电压调节器关断处理器内核的电源。此信号是一个上电用高电平有效信号，可以直接连接到许多常用调节器的低电平有效关断输入。

在休眠状态下，仍可以施加外部电源(V_{DDEXT})，无需外部缓冲器。通过置位RESET引脚以启动引导序列，可以在此关断状态下激活外部稳压器。EXT_WAKE指示外部稳压器唤醒。

电源良好(PG)输入信号可以让处理器在内部电压达到指定电平后才启动。这样，休眠后可以检测外部调节器的启动时间。关于电源良好功能的详细说明，请参阅《ADSP-BF59x Blackfin处理器硬件参考》。

时钟信号

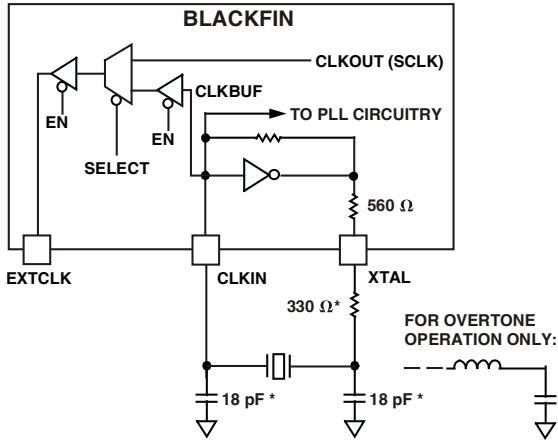
处理器的时钟可以来自外部晶振、正弦波输入或源于外部时钟振荡器的缓冲整形时钟。

如果使用外部时钟，它应为TTL兼容信号，而且在正常工作期间不得暂停、改变或以低于额定频率的频率工作。此信号连接到处理器的CLKIN引脚。使用外部时钟时，XTAL引脚必须悬空。

此外，由于处理器含有片内振荡器电路，因此也可以使用外部晶振。欲以基频工作，请使用图4所示的电路。一个并行谐振、基频、微处理器级晶振连接在CLKIN和XTAL引脚上。CLKIN引脚与XTAL引脚之间的片内电阻在500 kΩ范围内。通常情况下，建议不要使用其它并联电阻。图4所示的两个电容和串联电阻用于精调正弦频率输入的相位和幅度。

ADSP-BF592

图4所示的电容和电阻值仅为典型值。电容值取决于晶振制造商的负载电容建议和PCB物理布局。电阻值取决于晶振制造商规定的驱动电平。用户应在整个温度范围内细致考察多个器件，验证所用的元件值是否合适。



NOTE: VALUES MARKED WITH * MUST BE CUSTOMIZED, DEPENDING ON THE CRYSTAL AND LAYOUT. PLEASE ANALYZE CAREFULLY. FOR FREQUENCIES ABOVE 33 MHz, THE SUGGESTED CAPACITOR VALUE OF 18 pF SHOULD BE TREATED AS A MAXIMUM, AND THE SUGGESTED RESISTOR VALUE SHOULD BE REDUCED TO 0 Ω.

图4. 外部晶振连接

针对25 MHz以上的频率，可以使用三次谐波晶体振荡器。此时需要修改图4所示电路，增加一个调谐电感电路，确保晶振仅在第三泛音工作。第三泛音工作的设计程序详见应用笔记(EE-168)：“三次谐波晶体振荡器用于ADSP-218x DSP”(Using Third Overtone Crystals with the ADSP-218x DSP)(请在ADI公司网站www.analog.com上搜索“EE-168”)。

Blackfin内核以不同于片内外设的时钟速率运行。如图5所示，内核时钟(CCLK)和系统外设时钟(SCLK)从输入时钟(CLKIN)信号产生。片内PLL能够将CLKIN信号乘以一个可编程的乘法系数(5倍至64倍，以VCO额定最小和最大频率为限)。默认乘法系数为6，但可以通过软件指令序列更改。

只需写入PLL_DIV寄存器，便可以即时更改频率。最大容许的CCLK和SCLK速率取决于所施加的电压VDDINT和VDDEXT，VCO始终能以器件指令速率规定的频率工作。EXTCLK引脚可以配置为输出SCLK频率或输入缓冲CLKIN频率(CLKBUF)。配置为输出SCLK(CLKOUT)时，EXTCLK引脚用作许多时序规格中的参考信号。默认为三态，可以利用VRCTL寄存器使能。

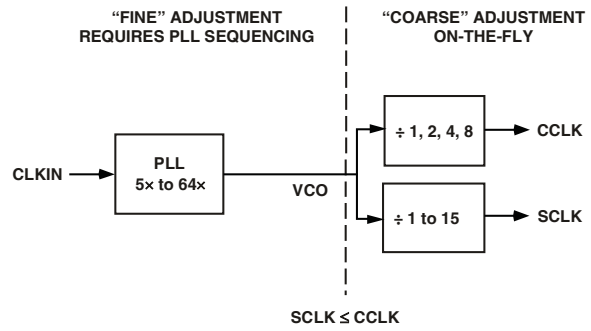


图5. 频率更改方法

所有片内外设都由系统时钟(SCLK)提供时钟信号。系统时钟频率可通过PLL_DIV寄存器的SSEL3-0位进行编程。写入SSEL域的值定义PLL输出(VCO)与系统时钟之间的分频比。SCLK分频值范围为1到15。表4给出了典型的系统时钟比。

表4. 系统时钟比示例

信号名称 SSEL3-0	分频比 VCO/SCLK	频率比示例 (MHz)	
		VCO	SCLK
0010	2:1	100	50
0110	6:1	300	50
1010	10:1	400	40

注意，所选的分频比必须能使系统时钟频率不高于其最大fSCLK。通过将适当的值写入PLL分频寄存器(PLL_DIV)，可以动态改变SSEL值，而不会有任何PLL锁定延迟。

内核时钟(CCLK)频率也可以通过PLL_DIV寄存器的CSEL1-0位动态改变。支持的CCLK分频比为1、2、4和8，如表5所示。这种可编程内核时钟能力可以用来快速更改内核频率。

表5. 内核时钟比

信号名称 CSEL1-0	分频比 VCO/CCLK	频率比示例 (MHz)	
		VCO	CCLK
00	1:1	300	300
01	2:1	300	150
10	4:1	400	100
11	8:1	200	25

CCLK最大频率不仅取决于器件的指令速率(见“订购指南”)，还取决于所施加的V_{DDINT}电压，详情参见表8。最大系统时钟速率(SCLK)取决于芯片封装和所施加的V_{DDINT}、V_{DDEXT}电压(见表10)。

引导模式

复位后，处理器可以通过多种机制(如表6所列)自动加载内部和外部存储器。引导模式由专用BMODE输入引脚决定。引导模式分为两类。在主机引导模式下，处理器主动从并行或串行存储器加载数据。在从机引导模式下，处理器接收来自外部主机的数据。

表6. 引导模式

BMODE2-0	说明
000	空闲/无引导
001	保留
010	SPI1主机从闪存引导，利用PG11上的SPI1_SSEL5
011	SPI1从机从外部主机引导
100	SPIO主机从闪存引导，利用PF8上的SPIO_SSEL2
101	从PPI端口引导
110	从UART主机引导
111	从内部L1 ROM执行

表6所列的引导模式提供了多种机制，在复位后自动加载处理器的内部和外部存储器。默认情况下，所有引导模式都使用最慢的有意义配置设置。默认设置可以通过引导时的初始化代码功能更改。复位配置寄存器的BMODE引脚(在上电复位和软件启动的复位期间采样)实现表6所示的模式。

- 空闲状态/无引导模式(BMODE = 0x0)：这种模式下，引导内核将处理器转入空闲状态。然后可通过JTAG控制处理器以执行恢复、调试或其他功能。
- SPI1主机从闪存引导(BMODE = 0x2)：这种模式下，SPI1配置为主机工作模式，连接到8、16、24或32位可寻址器件。处理器利用PG11/SPI1_SSEL5选择单个SPI EEPROM/闪存器件，提交一个读取命令和连续的地址字节(0x00)，直至检测到有效的8位、16位、24位或32位可寻址器件，然后开始将数据输入处理器。SSEL和MISO引脚需要上拉电阻。默认情况下，将值0x85写入SPI_BAUD寄存器。
- SPI1从机从外部主机引导(BMODE = 0x3)：这种模式下，SPI1配置为从机模式工作，从SPI主机代理接收LDR文件的字节。当引导ROM繁忙时，为推迟主机传输，Blackfin处理器置位GPIO引脚，称为“主机等待”(HWAIT)，指示主机不要发送其他字节，直到该引脚解除置位为止。主机向处理器传输每个数据单元之前，必须查询PG4上的HWAIT信号。SPI1_SS输入需要上拉电阻。串行时钟上使用一个下拉电阻可以改善信号质量和引导的鲁棒性。

- SPIO主机从闪存引导(BMODE = 0x4)：这种模式下，SPIO配置为主机工作模式，连接到8、16、24或32位可寻址器件。处理器利用PF8/SPIO_SSEL2选择单个SPI EEPROM/闪存器件，提交一个读取命令和连续的地址字节(0x00)，直至检测到有效的8位、16位、24位或32位可寻址器件，然后开始将数据输入处理器。SSEL和MISO引脚需要上拉电阻。默认情况下，将值0x85写入SPI_BAUD寄存器。
- 从PPI主机器件引导(BMODE = 0x5)：处理器以PPI从机模式工作，配置为接收来自PPI主机代理的LDR文件字节。
- 从UART主机引导(BMODE = 0x6)：这种模式下，UART0用作引导源。利用自动波特率握手序列从主机下载一个经引导流格式化的程序。主机在UART时钟能力范围内选择一个比特率。执行自动波特率检测时，UART需要借助RXD引脚信号的“@”(0x40)字符(8位数据，1个起始位，一个结束位，无奇偶校验位)来确定比特率。然后，UART通过一个由4字节(0xBF—UART_DLL的值和0x00—UART_DLH的值)组成的应答消息进行应答。随后主机就能下载引导流。为了推迟主机动作，处理器向主机发送一个引导主机等待(HWAIT)信号。因此，在传输每个字节之前，主机必须监控PG4上的HWAIT信号。
- 从内部L1 ROM执行(BMODE = 0x7)：这种模式下，处理器从片内64kB L1指令ROM开始执行，起始地址为0xFFA1 0000。

无论何种引导模式(除从内部L1 ROM执行以外)，首先都会从一个外部器件读取16字节的表头。该表头指定要传输的字节数和存储器目标地址。可以通过任何引导序列加载多个存储器模块。一旦所有模块加载完毕，程序便从L1指令SRAM的起始地址开始执行。

引导内核能够区分常规硬件复位与从休眠状态唤醒事件，从而加快后一情况下的引导。软件复位时，可以利用系统复位配置(SYSCR)寄存器的位7-4来旁路引导内核，或模拟从休眠引导唤醒。

引导过程还可以通过“初始化代码”进一步定制。初始化代码是在常规应用引导之前加载和执行的一段代码，它通常用于通过管理PLL、时钟频率或串行比特率来加快引导。

引导ROM还提供了C可调用函数，用户应用程序可以在运行时调用它，由此可以轻松实现二级引导或引导管理方案。

指令集描述

Blackfin处理器系列的汇编语言指令集使用代数语法，易于编码和阅读。指令经过专门调整，构成灵活、密集编码的指令集，汇编后的最终存储大小非常小。该指令集还提供功能完整的多功能指令，允许编程人员在一个指令中使用许多处理器内核资源。该指令集拥有许多常见于微控制器的特性，编译C和C++源代码时效率极高。此外，该架构支持用户(算法/应用程序代码)和管理员(O/S内核、器件驱动、调试器、ISR)工作模式，支持对内核处理器资源进行多级访问。

汇编语言利用了处理器的独特架构，具有如下优势：

- 无缝集成的DSP/MCU特性针对8位和16位操作进行了优化。
- 改进的并行加载/存储Harvard架构，每个周期支持两个16位MAC或四个8位ALU加上两个加载/存储和两个指针更新。
- 所有寄存器、I/O和存储器都映射到一个统一的4GB存储器空间，提供简化的编程模型。
- 微控制器特性，如仲裁位和位-域操纵、插入、提取等；8位、16位和32位数据类型的整数运算；独立的用户和管理员堆栈指针。
- 代码密度提高，16位和32位指令并存(无模式切换、无代码分离)。常用指令采用16位编码。

开发工具

ADI公司有一整套软件和硬件开发工具支持其处理器，包括集成开发环境(CrossCore® Embedded Studio和/或VisualDSP++®等)、评估产品、仿真器以及各种软件插件。

集成开发环境(IDE)

针对C/C++软件写入和编辑、代码生成、调试支持，ADI公司提供两种IDE。

最新IDE是CrossCore Embedded Studio，基于Eclipse™框架。它是包括多核器件在内的未来处理器的首选IDE，支持ADI公司的大部分处理器系列。CrossCore Embedded Studio无缝集成现有软件插件以支持实时操作系统、文件系统、TCP/IP堆栈、USB堆栈、算法软件模块和评估硬件板支持包。欲了解更多信息，请访问www.analog.com/cces。

ADI公司的另一种IDE是VisualDSP++，支持CrossCore Embedded Studio发布之前所推出的处理器系列。此IDE包括ADI公司VDK实时操作系统和开源TCP/IP堆栈。欲了解更多信息，请访问<http://www.analog.com/visualdsp>。注意，VisualDSP++不支持ADI公司未来的处理器。

EZ-KIT Lite评估板

为了便于评估处理器，ADI公司提供多种EZ-KIT Lite®评估板。评估板包括处理器和主要外设，支持片内仿真功能和其它评估与开发特性。此外还提供各种EZ-Extenders®，这些是提供其它特殊功能，包括音频和视频处理的子卡。欲了解更多信息，请访问www.analog.com并搜索“ezkit”或“ezextender”。

EZ-KIT Lite评估套件

为了以低成本高效了解有关ADI处理器开发的更多信息，ADI公司提供多种EZKIT Lite评估套件。各评估套件均包括一片EZ-KIT Lite评估板、关于下载可用IDE评估版的说明、一条USB线缆和一条电源线。EZ-KIT Lite评估板上的USB控制器连接到用户PC的USB端口，使得所选IDE评估套件能够在线仿真板上处理器。用户可以下载、执行、调试EZ-KIT Lite系统的程序。它还支持对板上闪存进行在线编程以存储用户专用的引导代码，并支持独立操作。如果安装完整版本的CrossCore Embedded Studio或VisualDSP++(另售)，工程师就可以开发软件以用于支持的EZ-KIT或任何采用支持的ADI处理器的定制系统。

CrossCore Embedded Studio的软件插件

ADI公司提供能与CrossCore Embedded Studio无缝集成的软件插件，用以扩展其功能并减少开发时间。插件包括评估硬件的板支持包、各种中间件包和算法模块。插件安装完成后，这些插件中存在的文档、帮助、配置对话框和代码示例可通过CrossCore Embedded Studio IDE查看。

评估硬件的板支持包

EZ-KIT Lite评估板和EZExtender子板的软件支持由被称为“板支持包”(BSP)的软件插件提供。BSP包含指定评估硬件所需的驱动、相关的发布说明和精选的代码示例。特定BSP的下载链接位于相关EZ-KIT或EZExtender产品的网页上。该链接位于产品网页的产品下载区域。

中间件包

ADI公司还提供中间件插件，如实时操作系统、文件系统、USB堆栈和TCP/IP堆栈等。欲了解更多信息，请访问以下网页：

- www.analog.com/ucos3
- www.analog.com/ucfs
- www.analog.com/ucusbd
- www.analog.com/lwip

算法模块

为了加快开发工作，ADI公司提供用于执行常用音频和视频处理算法的插件。这些插件可与CrossCore Embedded Studio和VisualDSP++一起使用。欲了解更多信息，请访问www.analog.com并搜索“Blackfin软件模块”或“SHARC软件模块”。

设计一个兼容仿真器的DSP板(目标)

针对嵌入式系统测试和调试，ADI公司提供一系列仿真器。ADI公司在每个JTAG DSP上都提供了一个IEEE 1149.1 JTAG测试访问端口(TAP)。使用此JTAG接口有助于在线仿真。仿真器通过处理器的TAP访问处理器的内部功能，允许开发人员加载代码、设置断点、观察变量、观察存储器、检查寄存器。发送数据和命令时，处理器必须暂停，但当仿真器完成操作时，DSP系统便能以全速运行，对系统时序无影响。仿真器要求目标板包括一个接头，用以将DSP的JTAG端口连接到仿真器。

有关目标板设计问题的详细信息，包括机械布局、单处理器连接、信号缓冲、信号端接和仿真器Pod逻辑等，请参阅工程师笔记EE-68：“ADI公司JTAG仿真技术参考”(请在ADI公司网站www.analog.com上搜索“EE-68”)。该文件定期更新，以便与仿真器支持的最新改进保持同步。

其它信息

下列描述ADSP-BF592处理器(及其相关处理器)的文件可以通过ADI公司办事处订购，或者查看ADI公司网站上的电子版本：

- Blackfin处理器入门指南
- ADSP-BF59x Blackfin处理器硬件参考
- Blackfin处理器编程参考
- ADSP-BF592 Blackfin处理器异常表

相关信号链

“信号链”指一系列信号调理电子器件，它们相继接收输入(通过采样实时现象获得的数据或存储的数据)，信号链一部分的输出作为下一部分的输入。信号处理应用常常使用信号链来采集和处理数据，或者根据对实时现象的分析应用系统控制。有关这个术语和相关话题的更多信息，请参阅ADI公司网站上**术语表**的“信号链”词条。

ADI公司提供能够完美配合工作的信号处理器件来简化信号处理系统的开发。ADI公司网站www.analog.com提供了一款工具，用于显示特定应用与相关器件之间的关系。

参考电路Circuits from the Lab™网站(www.analog.com/circuits)提供如下内容：

- 各种电路类型和应用的信号链电路图
- 各信号链中的器件均有选型指南和应用信息链接
- 采用最佳设计技术的参考设计

信号描述

ADSP-BF592处理器的信号定义如表7所示。为了保持最多的功能、缩小封装尺寸以及减少引脚数量，某些引脚具有双功能或多个复用功能。如果引脚功能是可重新配置的，则其默认状态用正体字显示，其它功能用斜体字显示。

复位期间及之后，除以下信号外，其余信号均处于三态：EXT_WAKE变为高电平，XTAL与CLKIN一起驱动以构成

一个晶振电路。休眠期间，除以下信号外，其余信号均处于三态：EXT_WAKE变为低电平，XTAL变为固定逻辑电平。

复位期间及之后，除了需要上拉或下拉电阻的引脚之外，所有其它I/O引脚的输入缓冲器都禁用，如表7所示。

为EXTCLK增加一个并联端接电阻可能有助于进一步增强信号完整性。务必在实际的硬件上验证过冲/欠冲和信号完整性要求是否得到满足。

表7. 信号描述

信号名称	类型	功能	驱动器类型
端口F: GPIO和复用外设			
PF0-GPIO/DR1SEC/PPI_D8/WAKEN1	I/O	GPIO/SPORT1接收数据辅助/PPI数据8/唤醒使能1	A
PF1-GPIO/DR1PRI/PPI_D9	I/O	GPIO/SPORT1接收数据主/PPI数据9	A
PF2-GPIO/RSCLK1/PPI_D10	I/O	GPIO/SPORT1接收串行时钟/PPI数据10	A
PF3-GPIO/RFS1/PPI_D11	I/O	GPIO/SPORT1接收帧同步/PPI数据11	A
PF4-GPIO/DT1SEC/PPI_D12	I/O	GPIO/SPORT1发送数据辅助/PPI数据12	A
PF5-GPIO/DT1PRI/PPI_D13	I/O	GPIO/SPORT1发送数据主/PPI数据13	A
PF6-GPIO/TSCLK1/PPI_D14	I/O	GPIO/SPORT1发送串行时钟/PPI数据14	A
PF7-GPIO/TFS1/PPI_D15	I/O	GPIO/SPORT1发送帧同步/PPI数据15	A
PF8-GPIO/TMR2/SPI0_SSEL2/WAKEN0	I/O	GPIO/定时器2/SPI0从机选择使能2/唤醒使能0	A
PF9-GPIO/TMR0/PPI_FS1/SPI0_SSEL3	I/O	GPIO/定时器0/PPI帧同步1/SPI0从机选择使能3	A
PF10-GPIO/TMR1/PPI_FS2	I/O	GPIO/定时器1/PPI帧同步2	A
PF11-GPIO/UA_TX/SPI0_SSEL4	I/O	GPIO/UART发送/SPI0从机选择使能4	A
PF12-GPIO/UA_RX/SPI0_SSEL7/TAC12-0	I/O	GPIO/UART接收/SPI0从机选择使能7/定时器2-0交替输入捕捉	A
PF13-GPIO/SPI0_MOSI/SPI1_SSEL3	I/O	GPIO/SPI0主机输出从机输入/SPI1从机选择使能3	A
PF14-GPIO/SPI0_MISO/SPI1_SSEL4	I/O	GPIO/SPI0主机输入从机输出/SPI1从机选择使能4 (如果从SPI端口引导，此引脚应始终通过4.7 kΩ电阻拉高)	A
PF15-GPIO/SPI0_SCK/SPI1_SSEL5	I/O	GPIO/SPI0时钟/SPI1从机选择使能5	A
端口G: GPIO和复用外设			
PG0-GPIO/DR0SEC/SPI0_SSEL1/SPI0_SS	I/O	GPIO/SPORT0接收数据辅助/SPI0从机选择使能1/SPI0从机选择输入	A
PG1-GPIO/DR0PRI/SPI1_SSEL1/WAKEN3	I/O	GPIO/SPORT0接收数据主/SPI1从机选择使能1/唤醒使能3	A
PG2-GPIO/RSCLK0/SPI0_SSEL5	I/O	GPIO/SPORT0接收串行时钟/SPI0从机选择使能5	A
PG3-GPIO/RFS0/PPI_FS3	I/O	GPIO/SPORT0接收帧同步/PPI帧同步3	A
PG4-GPIO(HWAIT)/DT0SEC/SPI0_SSEL6	I/O	GPIO(从机引导模式的HWAIT输出)/SPORT0发送数据辅助/SPI0从机选择使能6	A
PG5-GPIO/DT0PRI/SPI1_SSEL6	I/O	GPIO/SPORT0发送数据主/SPI1从机选择使能6	A
PG6-GPIO/TSCLK0	I/O	GPIO/SPORT0发送串行时钟	A
PG7-GPIO/TFS0/SPI1_SSEL7	I/O	GPIO/SPORT0发送帧同步/SPI1从机选择使能7	
PG8-GPIO/SPI1_SCK/PPI_D0	I/O	GPIO/SPI1时钟/PPI数据0	A
PG9-GPIO/SPI1_MOSI/PPI_D1	I/O	GPIO/SPI1主机输出从机输入/PPI数据1	A

表7. 信号描述(续)

信号名称	类型	功能	驱动器类型
PG10-GPIO/SPI1_MISO/PPI_D2	I/O	GPIO/SPI1主机输入从机输出/PPI数据2 (如果从SPI端口引导, 此引脚应始终通过4.7 kΩ电阻拉高)	A
PG11-GPIO/SPI1_SSEL5/PPI_D3	I/O	GPIO/SPI1从机选择使能5/PPI数据3	A
PG12-GPIO/SPI1_SSEL2/PPI_D4/WAKEN2	I/O	GPIO/SPI1从机选择使能2输出/PPI数据4/唤醒使能2	A
PG13-GPIO/SPI1_SSEL1/SPI1_SS/PPI_D5	I/O	GPIO/SPI1从机选择使能1输出/PPI数据5/SPI1从机选择输入	A
PG14-GPIO/SPI1_SSEL4/PPI_D6/TACLK1	I/O	GPIO/SPI1从机选择使能4/PPI数据6/定时器1辅助时钟输入	A
PG15-GPIO/SPI1_SSEL6/PPI_D7/TACLK2	I/O	GPIO/SPI1从机选择使能6/PPI数据7/定时器2辅助时钟输入	A
TWI			
SCL	I/O	TWI串行时钟(此信号为开漏输出, 需要上拉电阻。 关于正确的电阻值, 请参阅I ² C规范2.1版。)	B
SDA	I/O	TWI串行数据(此信号为开漏输出, 需要上拉电阻。 关于正确的电阻值, 请参阅I ² C规范2.1版。)	B
JTAG端口			
TCK	I	JTAG CLK	A
TDO	O	JTAG串行数据输出	
TDI	I	JTAG串行数据输入	
TMS	I	JTAG模式选择	
TRST	I	JTAG复位	
EMU	O	仿真输出 (如果不使用JTAG端口, 应将此引脚拉低)	A
时钟			
CLKIN	I	CLK/晶振输入	C
XTAL	O	晶振输出	
EXTCLK	O	外部时钟输出引脚/系统时钟输出	
模式控制			
RESET	I	复位	
NMI	I	无法屏蔽的中断 (不使用时, 应将此引脚拉高。)	
BMODE2-0	I	引导模式绑定2-0	
PPI_CLK	I	PPI时钟输入	
外部稳压器控制			
PG	I	电源良好指示	A
EXT_WAKE	O	唤醒指示	
电源			
V _{DDEXT}	P	所有电源都必须通电 参见第16页的工作条件。 I/O电源	
V _{DDINT}	P	内部电源	
GND	G	所有电源的地(LFCSP封装背面)	

技术规格

规格如有变更恕不另行通知。

工作条件

参数	条件	最小值	标称值	最大值	单位
V_{DDINT}	内部电源电压	1.1		1.47	V
	内部电源电压	1.33		1.47	V
V_{DDEXT}	外部电源电压	1.7	1.8/2.5/3.3	3.6	V
	外部电源电压	2.7		3.6	V
V_{IH}	高电平输入电压 ^{1,2}	$V_{DDEXT} = 1.9\text{ V}$			V
$V_{IHCLKIN}$	高电平输入电压 ^{1,2}	$V_{DDEXT} = 1.9\text{ V}$			V
V_{IH}	高电平输入电压 ^{1,2}	$V_{DDEXT} = 2.75\text{ V}$			V
V_{IH}	高电平输入电压 ^{1,2}	$V_{DDEXT} = 3.6\text{ V}$			V
$V_{IHCLKIN}$	高电平输入电压 ^{1,2}	$V_{DDEXT} = 3.6\text{ V}$			V
V_{IHTWI}	高电平输入电压 ³	$V_{DDEXT} = 1.90\text{ V}/2.75\text{ V}/3.6\text{ V}$		3.6	V
V_{IL}	低电平输入电压 ^{1,2}	$V_{DDEXT} = 1.7\text{ V}$		0.6	V
V_{IL}	低电平输入电压 ^{1,2}	$V_{DDEXT} = 2.25\text{ V}$		0.7	V
V_{IL}	低电平输入电压 ^{1,2}	$V_{DDEXT} = 3.0\text{ V}$		0.8	V
V_{ILTWI}	低电平输入电压 ³	$V_{DDEXT} = \text{最小值}$		$0.3 \times V_{DDEXT}$	V
T_J	结温	64引脚LFCSP@TAMBIENT = 0°C至+ 70°C	0	80	°C
T_J	结温	64引脚LFCSP@TAMBIENT = -40°C至+ 85°C	-40	+95	°C
T_J	结温	64引脚LFCSP@TAMBIENT = -40°C至+105°C	-40	+115	°C

1 ADSP-BF592处理器的双向引脚(PF15-0、PG15-0)和输入引脚(TCK、TDI、TMS、TRST、CLKIN、RESET、NMI、BMODE2-0)为3.3 V兼容(始终支持最高3.6 V的 V_{IH})。

顺从电压(输出 V_{OH})受 V_{DDEXT} 电源电压的限制。

2 参数值适用于SDA和SCL以外的所有输入和双向引脚。

3 参数适用于SDA和SCL。

ADSP-BF592时钟相关工作条件

表8说明ADSP-BF592处理器的内核时钟时序要求。选择MSEL、SSEL和CSEL比值时应格外小心，以便保证不超过最大内核时钟和系统时钟(见表10)。表9给出了锁相环的工作条件。

表8. 内核时钟(CCLK)要求

参数	最小V _{DDINT}	标称V _{DDINT}	最大CCLK频率	单位
f _{CCLK} 内核时钟频率(所有型号)	1.33 V	1.400 V	400	MHz
内核时钟频率(工业/商用型号)	1.16 V	1.225 V	300	MHz
内核时钟频率(工业/商用型号)	1.10 V	1.150 V	250 ¹	MHz

¹ 参见第44页订购指南。

表9. 锁相环工作条件

参数	最小值	最大值	单位
f _{VCO} 电压控制振荡器(VCO)频率 (非汽车应用型号)	72	指令速率 ¹	MHz
电压控制振荡器(VCO)频率 (汽车应用型号)	84	指令速率 ¹	MHz

¹ 参见第44页订购指南。

表10. 最大SCLK条件

参数 ¹	V _{DDEXT} 1.8 V/2.5 V/3.3 V标称值	单位
f _{SCLK} CLKOUT/SCLK频率(V _{DDINT} ≥ 1.16 V)	100	MHz
CLKOUT/SCLK频率(V _{DDINT} < 1.16 V)	80	MHz

¹ f_{SCLK} 必须小于或等于f_{CCLK}。

ADSP-BF592

电气特性

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压 $V_{DDEXT} = 1.7\text{ V}, I_{OH} = -0.5\text{ mA}$	1.35			V
V_{OH}	高电平输出电压 $V_{DDEXT} = 2.25\text{ V}, I_{OH} = -0.5\text{ mA}$	2.0			V
V_{OH}	高电平输出电压 $V_{DDEXT} = 3.0\text{ V}, I_{OH} = -0.5\text{ mA}$	2.4			V
V_{OL}	低电平输出电压 $V_{DDEXT} = 1.7\text{ V}/2.25\text{ V}/3.0\text{ V},$ $I_{OL} = 2.0\text{ mA}$			0.4	V
V_{OLTWI}	低电平输出电压 $V_{DDEXT} = 1.7\text{ V}/2.25\text{ V}/3.0\text{ V},$ $I_{OL} = 2.0\text{ mA}$			0.4	V
I_{IH}	高电平输入电流 ¹ $V_{DDEXT} = 3.6\text{ V}, V_{IN} = 3.6\text{ V}$			10	μA
I_{IL}	低电平输入电流 ¹ $V_{DDEXT} = 3.6\text{ V}, V_{IN} = 0\text{ V}$			10	μA
I_{IHP}	高电平输入电流JTAG ² $V_{DDEXT} = 3.6\text{ V}, V_{IN} = 3.6\text{ V}$	10		50	μA
I_{OZH}	三态漏电流 ³ $V_{DDEXT} = 3.6\text{ V}, V_{IN} = 3.6\text{ V}$			10	μA
I_{OZHTWI}	三态漏电流 ⁴ $V_{DDEXT} = 3.0\text{ V}, V_{IN} = 3.6\text{ V}$			10	μA
I_{OZL}	三态漏电流 ³ $V_{DDEXT} = 3.6\text{ V}, V_{IN} = 0\text{ V}$			10	μA
C_{IN}	输入电容 ⁵ $f_{IN} = 1\text{ MHz}, T_{AMBIENT} = 25^\circ\text{C}, V_{IN} = 2.5\text{ V}$		4	8 ⁶	pF
$I_{DDDEEPSLEEP}^7$	深度休眠模式下的 V_{DDINT} 电流 $V_{DDINT} = 1.2\text{ V}, f_{CCLK} = 0\text{ MHz},$ $f_{SCLK} = 0\text{ MHz}, T_J = 25^\circ\text{C}, ASF = 0.00$		0.8		mA
$I_{DDSLEEP}$	休眠模式下的 V_{DDINT} 电流 $V_{DDINT} = 1.2\text{ V}, f_{SCLK} = 25\text{ MHz},$ $T_J = 25^\circ\text{C}$		4		mA
$I_{DD-IDLE}$	空闲时的 V_{DDINT} 电流 $V_{DDINT} = 1.2\text{ V}, f_{CCLK} = 50\text{ MHz},$ $T_J = 25^\circ\text{C}, ASF = 0.35$		6		mA
I_{DD-TYP}	V_{DDINT} 电流 $V_{DDINT} = 1.3\text{ V}, f_{CCLK} = 200\text{ MHz},$ $T_J = 25^\circ\text{C}, ASF = 1.00$		40		mA
I_{DD-TYP}	V_{DDINT} 电流 $V_{DDINT} = 1.3\text{ V}, f_{CCLK} = 300\text{ MHz},$ $T_J = 25^\circ\text{C}, ASF = 1.00$		66		mA
I_{DD-TYP}	V_{DDINT} 电流 $V_{DDINT} = 1.4\text{ V}, f_{CCLK} = 400\text{ MHz},$ $T_J = 25^\circ\text{C}, ASF = 1.00$		91		mA
$I_{DDHIBERNATE}^7$	休眠状态电流 $V_{DDEXT} = 3.3\text{ V}, T_J = 25^\circ\text{C},$ $CLKIN = 0\text{ MHz},$ 稳压器关闭($V_{DDINT} = 0\text{ V}$)		20		μA
$I_{DDDEEPSLEEP}^7$	深度休眠模式下的 V_{DDINT} 电流 $f_{CCLK} = 0\text{ MHz}, f_{SCLK} = 0\text{ MHz}$			表12	mA
I_{DDINT}^8	V_{DDINT} 电流 $f_{CCLK} > 0\text{ MHz}, f_{SCLK} \geq 0\text{ MHz}$			表12 + (表13 \times ASF)	mA

¹ 适用于输入引脚。

² 适用于JTAG输入引脚(TCK、TDI、TMS、TRST)。

³ 适用于三态引脚。

⁴ 适用于双向引脚SCL和SDA。

⁵ 适用于所有信号引脚。

⁶ 保证符合要求，但未经过测试。

⁷ 关于休眠、深度休眠和休眠工作模式的定义，参见《ADSP-BF59x Blackfin处理器硬件参考手册》(ADSP-BF59x Blackfin Processor Hardware Reference Manual)。

⁸ 涉及的 I_{DDINT} 电源矢量参见表11。

总功耗

总功耗包括两个分量：

1. 静态功耗，包括漏电流
2. 动态功耗，由晶体管开关特性引起

许多工作条件也可能影响功耗，包括温度、电压、工作频率和处理器活动等。第18页的电气特性列出了内部电路(V_{DDINT})的功耗。 $I_{DDDEEPSLEEP}$ 表示与电压(V_{DDINT})和温度相关的静态功耗(参见表12)， I_{DDINT} 表示所列测试条件下的总功耗，包括与电压(V_{DDINT})和频率相关的动态功耗(表13)。

动态分量包括两部分。第一部分是由内核时钟(CCLK)域的晶体管开关引起的，该部分与一个“活动比例因子”(ASF)相关，它代表处理器内核和L1存储器上运行的应用程序代码(表11)。

ASF与CCLK频率和 V_{DDINT} 相关数据(表13)共同来计算这一部分功耗。第二部分是由系统时钟(SCLK)域的晶体管开关引起的， I_{DDINT} 规格方程式中已包括该部分。

表11. 活动比例因子(ASF)¹

I_{DDINT} 电源矢量	活动比例因子(ASF)
$I_{DD-PEAK}$	1.29
$I_{DD-HIGH}$	1.26
I_{DD-TYP}	1.00
I_{DD-APP}	0.83
I_{DD-NOP}	0.66
$I_{DD-IDLE}$	0.33

¹ 参见“ASDP-BF534/BF536/BF537 Blackfin处理器功耗估算”(Estimating Power for ASDP-BF534/BF536/BF537 Blackfin Processors)(EE-297)。电源矢量信息也适用于ADSP-BF592处理器。

表12. 静态电流— $I_{DD-DEEPSLEEP}$ (mA)

T_J (°C) ¹	电压(V_{DDINT}) ¹							
	1.15 V	1.20 V	1.25 V	1.30 V	1.35 V	1.40 V	1.45 V	1.50 V
25	0.85	0.98	1.13	1.29	1.46	1.62	1.85	2.07
40	1.57	1.8	2.01	2.16	2.51	2.74	3.05	3.36
55	2.57	2.88	3.2	3.5	3.84	4.22	4.63	5.05
70	4.04	4.45	4.86	5.3	5.81	6.31	6.87	7.45
85	6.52	7.12	7.73	8.36	9.09	9.86	10.67	11.54
100	9.67	10.51	11.37	12.24	13.21	14.26	15.37	16.55
115	14.18	15.29	16.45	17.71	19.05	20.45	21.96	23.56

¹ 有效温度和电压范围取决于型号。参见第16页的工作条件。

表13. CCLK域的动态电流(mA, ASF = 1.0)¹

f_{CCLK} (MHz) ²	电压(V_{DDINT}) ²							
	1.15 V	1.20 V	1.25 V	1.30 V	1.35 V	1.40 V	1.45 V	1.50 V
400	N/A	N/A	N/A	N/A	85.31	88.96	92.81	96.63
350	N/A	N/A	N/A	72.08	75.41	78.70	82.07	85.46
300	N/A	57.52	60.38	63.22	66.14	69.02	71.93	75.05
250	46.10	48.43	50.76	53.19	55.68	58.17	60.69	63.23
200	37.86	39.80	41.76	43.79	45.81	47.85	49.97	52.09
100	21.45	22.56	23.78	24.98	25.97	26.64	27.92	29.98

¹ 这些值不是作为独立的最大值规格加以保证，必须与依据第18页的电气特性所示方程式计算的静态电流结合考虑。

² 有效频率和电压范围取决于型号。参见第16页的工作条件和第17页的表8。

绝对最大额定值

超出表14所列值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所列规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

表14. 绝对最大额定值

参数	额定值
内部电源电压(V_{DDINT})	-0.3 V至+1.50 V
外部(I/O)电源电压(V_{DDEXT})	-0.3 V至+3.8 V
输入电压 ^{1,2}	-0.5 V至+3.6 V
输出电压摆幅	-0.5 V至 $V_{DDEXT} + 0.5$ V
每组引脚的IOH/IOL电流	55 mA(最大值)
每个引脚的IOH/IOL电流	25 mA(最大值)
存储温度范围	-65°C至+150°C
偏置时的结温 (非汽车应用型号)	+110°C
偏置时的结温 (汽车应用型号)	+115°C

¹ 适用于100%瞬变占空比。其它占空比参见表15。

² 仅当 V_{DDEXT} 在规格范围内时适用。当 V_{DDEXT} 超出规格要求时，该范围为 $V_{DDEXT} \pm 0.2$ V。

表15. 输入瞬变电压的最大占空比¹

V_{IN} 最小值(V) ²	V_{IN} 最大值(V) ²	最大占空比 ³
-0.5	+3.8	100%
-0.7	+4.0	40%
-0.8	+4.1	25%
-0.9	+4.2	15%
-1.0	+4.3	10%

¹ 适用于CLKIN、XTAL、EXT_WAKE以外的所有信号引脚。

² 不能将个别值合并来分析单一过冲或欠冲情况。最差情况下的测量值必须落在规定的某个电压范围内，过冲或欠冲(超过100%的情况)的总持续时间必须短于或等于相应的占空比。

³ 占空比指信号超过100%情况下的值的时间百分比，等同于单一过冲或欠冲情况的实测持续时间占事件周期的百分比。

表14规定了每组引脚和每个引脚的最大总源电流/吸电流(I_{OH}/I_{OL})。如果超过此值，器件可能会永久性损坏。为了帮助理解此规格，举例如下：如果表16中第1组的引脚PF0和PF1各自流出或流入10 mA，则这些引脚的总电流为20 mA。因此，该组中其余引脚最多总共可以流出或流入35 mA电流而不会损坏器件。还应注意，每个引脚的最大源电流或吸电流不能超过25 mA。所有组别及其引脚的列表参见表16。注意， V_{OH} 和 V_{OL} 规格具有单独的每引脚最大电流要求，如电气特性表所示。

表16. 总电流引脚组—— V_{DDEXT} 组

组	组中的引脚
1	PF0, PF1, PF2, PF3
2	PF4, PF5, PF6, PF7
3	PF8, PF9, PF10, PF11
4	PF12, PF13, PF14, PF15
5	PG3, PG2, PG1, PG0
6	PG7, PG6, PG5, PG4
7	PG11, PG10, PG9, PG8
8	PG15, PG14, PG13, PG12
9	TDI, TDO, EMU, TCK, \overline{TRST} , TMS
10	BMODE2, BMODE1, BMODE0
11	EXT_WAKE, \overline{PG} , \overline{RESET} , \overline{NMI} , PPI_CLK, EXTCLK
12	SDA, SCL, CLKIN, XTAL

ESD灵敏度



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

封装信息

图6和表17所示的信息提供了ADSP-BF592处理器封装标识的详情。产品供货的完整列表请参阅第44页的订购指南。



图6. 产品封装信息

表17. 封装标识信息

标识码	字段说明
ADSP-BF592	产品型号
t	温度范围
pp	封装类型
Z	符合RoHS标准
ccc	参见订购指南
vvvvv.x	组装批次代码
n.n	芯片版本
#	符合RoHS标准
yyww	日期代码

时序规格

规格如有变更恕不另行通知。

时钟和复位时序

表18和图7描述时钟和复位操作。根据表8至表10中的CCLK和SCLK时序规格，CLKIN与时钟乘法器的组合不得选择超过处理器指令速率的内核/外设时钟。

表18. 时钟和复位时序

参数	V _{DDEXT} 1.8 V标称值		V _{DDEXT} 2.5 V/3.3 V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
f _{CKIN} CLKIN周期 ^{1, 2, 3, 4}	12	50	12	50	MHz
t _{CKINL} CLKIN低电平脉冲 ¹	10		10		ns
t _{CKINH} CLKIN高电平脉冲 ¹	10		10		ns
t _{WRST} RESET置位低电平脉冲宽度 ⁵	11 × t _{CKIN}		11 × t _{CKIN}		ns
开关特性					
t _{BUFDLAY} CLKIN至CLKBUF ⁶ 延迟		11		10	ns

¹ 适用于PLL旁路模式和PLL非旁路模式。

² CLKIN频率与PLL时钟乘法器的组合不得超过第17页的表8至表10所示f_{VCO}、f_{CCLK}和f_{SCLK}的容许设置。

³ t_{CKIN}周期(见图7)等于1/f_{CKIN}。

⁴ 如果PLL_CTL寄存器的DF位设为1，则f_{CKIN}最小值规定为24 MHz。

⁵ 上电序列完成之后应用。上电复位时序参见表19和图8。

⁶ ADSP-BF592处理器没有专用CLKBUF引脚。EXTCLK引脚可设置为CLKBUF或CLKOUT。当EXTCLK设置为输出CLKBUF时，此参数适用。

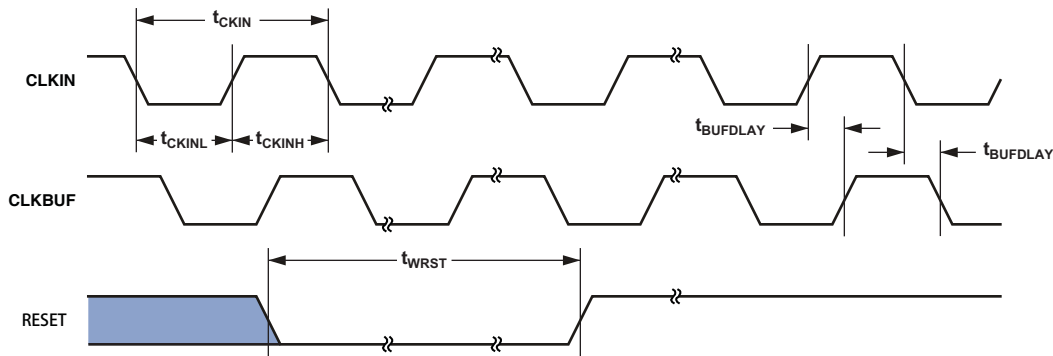


图7. 时钟和复位时序

表19. 上电复位时序

参数	最小值	最大值	单位
时序要求 $t_{RST_IN_PWR}$ \overline{RESET} 在 V_{DDINT} 、 V_{DDEXT} 和 CLKIN 引脚稳定于规格范围内之后解除置位			
	$3500 \times t_{CKIN}$		μS

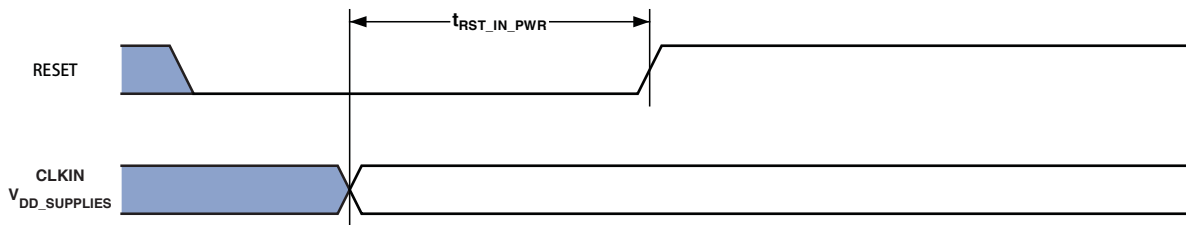


图8. 上电复位时序

并行外设接口时序

表20和图9至图13描述并行外设接口操作。

表20. 并行外设接口时序

参数	$V_{DDEXT} = 1.8\text{ V}$		$V_{DDEXT} = 2.5\text{ V}/3.3\text{ V}$		单位
	最小值	最大值	最小值	最大值	
时序要求					
t_{PCLKW} PPI_CLK宽度 ¹	$t_{SCLK} - 1.5$		$t_{SCLK} - 1.5$		ns
t_{PCLK} PPI_CLK周期 ¹	$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		ns
时序要求 - 通用输入和帧捕捉模式					
t_{PSUD} 外部帧同步启动延迟时间 ²	$4 \times t_{PCLK}$		$4 \times t_{PCLK}$		ns
t_{SFSPE} PPI_CLK之前外部帧同步建立时间 (接收为非采样沿, 发送为采样沿)	6.7		6.7		ns
t_{HFSPE} PPI_CLK之后外部帧同步保持时间	1.8		1.6		ns
t_{SDRPE} PPI_CLK之前接收数据建立时间	4.1		3.5		ns
t_{HDRPE} PPI_CLK之后接收数据保持时间	2		1.6		ns
开关特性 - 通用输出和帧捕捉模式					
t_{DFSPE} PPI_CLK之后内部帧同步延迟时间		9.0		8.0	ns
t_{HOFSP} PPI_CLK之后内部帧同步保持时间	1.7		1.7		ns
t_{DDTPE} PPI_CLK之后发送数据延迟时间		8.7		8.0	ns
t_{HDTPE} PPI_CLK之后发送数据保持时间	2.3		1.9		ns

¹ PPI_CLK频率不能超过 $f_{SCLK}/2$ 。

² PAB写入PPI端口使能位4个PPI时钟周期后, PPI端口完全使能。只有PPI端口完全使能后, 才能保证PPI外设正确接收外部帧同步信号和数据字。

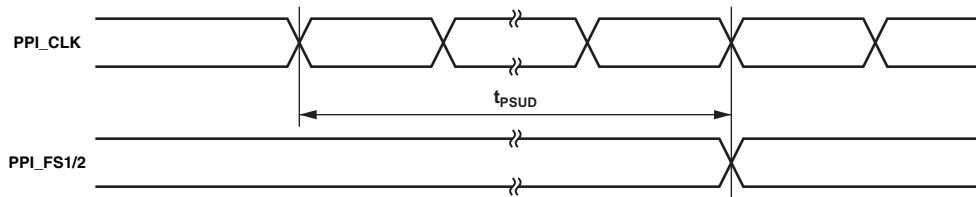


图9. 采用外部帧同步的PPI时序

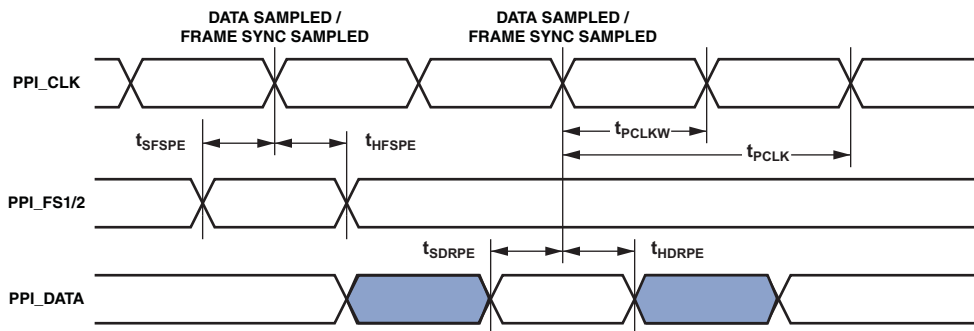


图10. 采用外部帧同步的PPI通用接收模式时序

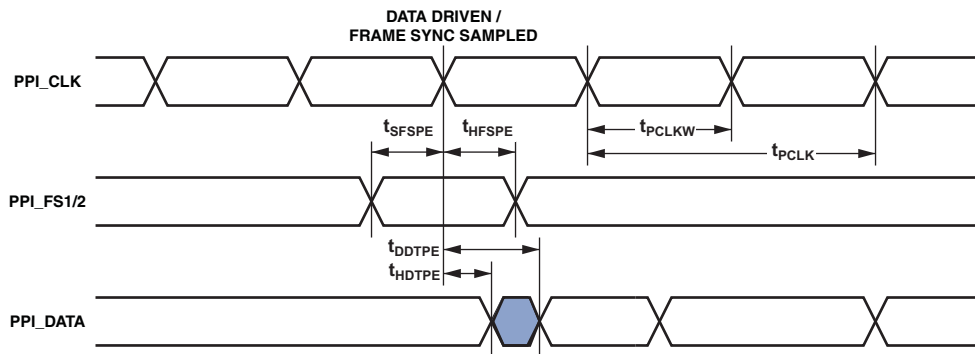


图11. 采用外部帧同步的PPI通用发送模式时序

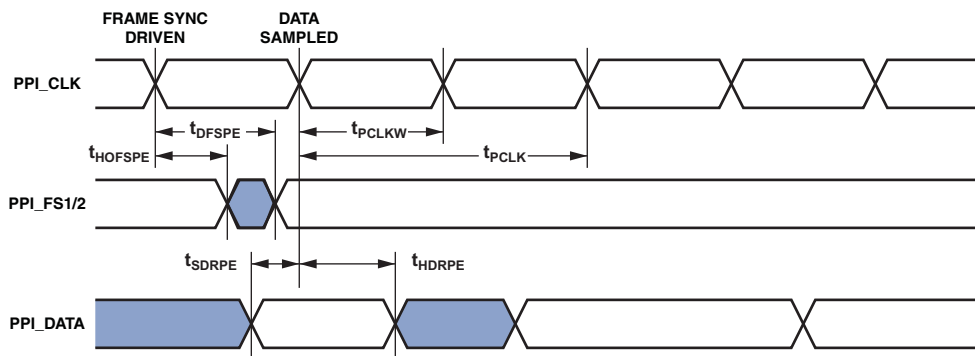


图12. 采用内部帧同步的PPI通用接收模式时序

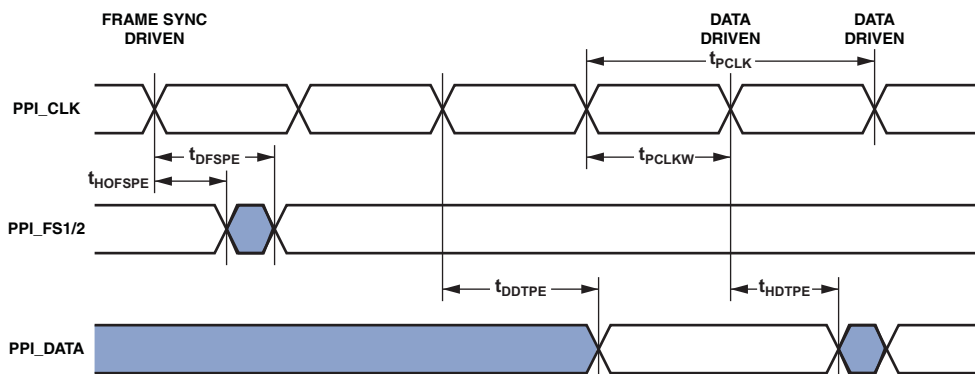


图13. 采用内部帧同步的PPI通用发送模式时序

ADSP-BF592

串行端口

表21至表25和图14至图18描述串行端口操作。

表21. 串行端口—外部时钟

参数		V _{DDEXT} 1.8 V标称值		V _{DDEXT} 2.5 V/3.3 V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
t _{SFSE}	TSCLKx/RSCLKx之前TFSx/RFSx建立时间 ¹	3		3		ns
t _{HFSE}	TSCLKx/RSCLKx之后TFSx/RFSx保持时间 ¹	3		3		ns
t _{SDRE}	RSCLKx之前接收数据建立时间 ¹	3		3		ns
t _{HDRE}	RSCLKx之后接收数据保持时间 ¹	3.5		3		ns
t _{SCLKEW}	TSCLKx/RSCLKx宽度	4.5		4.5		ns
t _{SCLKE}	TSCLKx/RSCLKx周期	2 × t _{SCLK}		2 × t _{SCLK}		ns
t _{SUDTE}	从SPORT使能到第一个外部TFSx的启动延迟时间 ²	4 × t _{TSCLKE}		4 × t _{TSCLKE}		ns
t _{SUDRE}	从SPORT使能到第一个外部RFSx的启动延迟时间 ²	4 × t _{RSCLKE}		4 × t _{RSCLKE}		ns
开关特性						
t _{DFSE}	TSCLKx/RSCLKx之后TFSx/RFSx延迟时间 (内部产生的TFSx/RFSx) ³		10		10	ns
t _{HOFSE}	TSCLKx/RSCLKx之后TFSx/RFSx保持时间 (内部产生的TFSx/RFSx) ¹	0		0		ns
t _{DDTE}	TSCLKx之后发送数据延迟时间 ¹		11		10	ns
t _{HDTE}	TSCLKx之后发送数据保持时间 ¹	0		0		ns

¹ 适以采样沿为基准。

² 设计中验证，但未经测试。

³ 以驱动沿为基准。

表22. 串行端口—内部时钟

参数		V _{DDEXT} 1.8 V标称值		V _{DDEXT} 2.5 V/3.3 V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
t _{SFSI}	TSCLKx/RSCLKx之前TFSx/RFSx建立时间 ¹	11.5		9.6		ns
t _{HFSI}	TSCLKx/RSCLKx之后TFSx/RFSx保持时间 ¹	-1.5		-1.5		ns
t _{SDRI}	RSCLKx之前接收数据建立时间 ¹	11.5		11.3		ns
t _{HDRI}	RSCLKx之后接收数据保持时间 ¹	-1.5		-1.5		ns
开关特性						
t _{SCLKIW}	TSCLKx/RSCLKx宽度	7		8		ns
t _{DFSI}	TSCLKx/RSCLKx之后TFSx/RFSx延迟时间 (内部产生的TFSx/RFSx) ²		4		3	ns
t _{HOFSI}	TSCLKx/RSCLKx之后TFSx/RFSx保持时间 (内部产生的TFSx/RFSx) ¹	-2		-2		ns
t _{DDTI}	TSCLKx之后发送数据延迟时间 ¹		4		3	ns
t _{HDTI}	TSCLKx之后发送数据保持时间 ¹	-1.8		-1.5		ns

¹ 以采样沿为基准。

² 以驱动沿为基准。

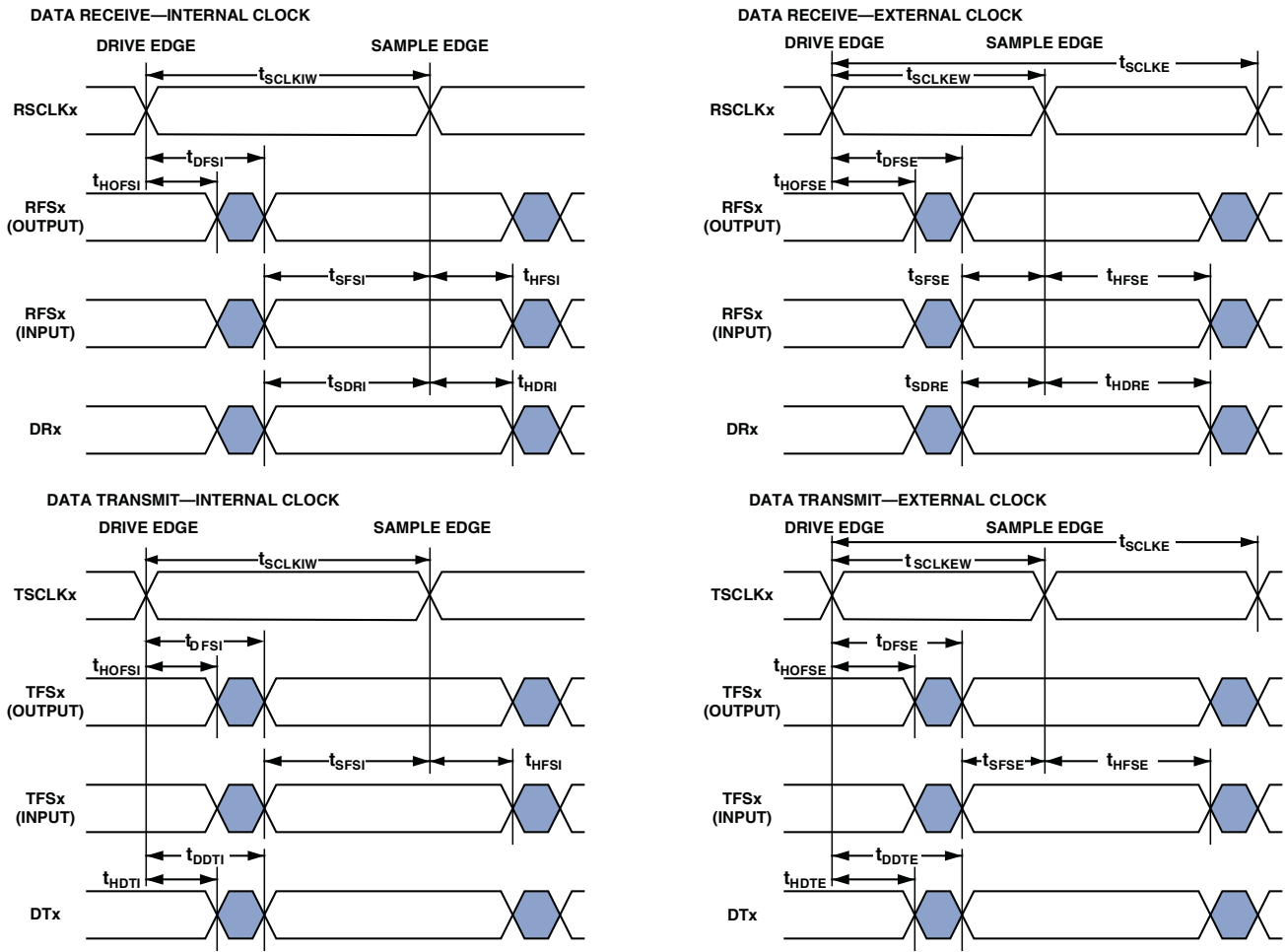


图14. 串行端口

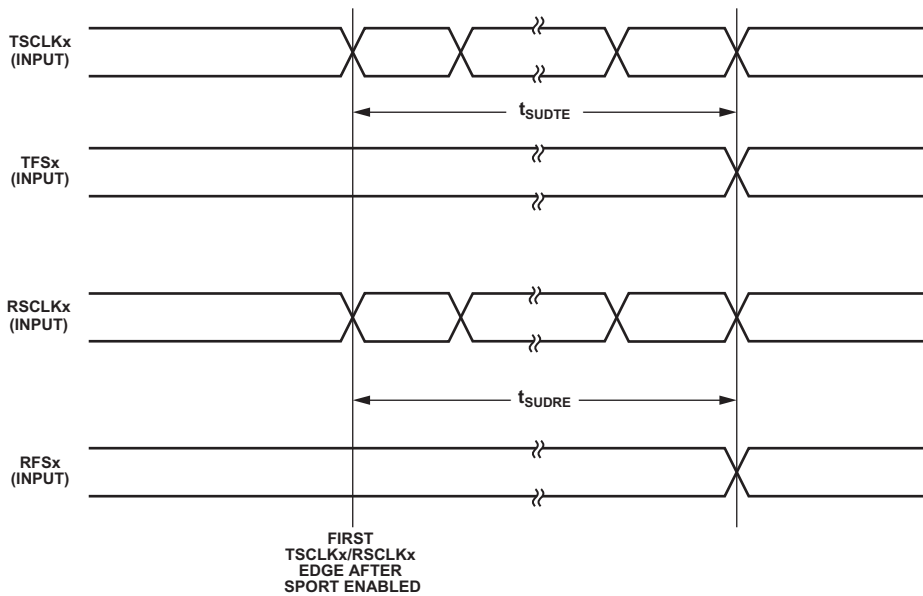


图15. 采用外部时钟和帧同步的串行端口启动

表23. 串行端口—使能和三态

参数	V_{DDEXT} 1.8 V标称值		V_{DDEXT} 2.5 V/3.3 V标称值		单位
	最小值	最大值	最小值	最大值	
开关特性					
t_{DTENE} 自外部TSCLKx起的数据使能延迟时间 ¹	0		0		ns
t_{DDTTE} 自外部TSCLKx起的数据禁用延迟时间 ¹		$t_{SCLK} + 1$		$t_{SCLK} + 1$	ns
t_{DTENI} 自内部TSCLKx起的数据使能延迟时间 ¹	-2		-2		ns
t_{DDTTI} 自内部TSCLKx起的数据禁用延迟时间 ¹		$t_{SCLK} + 1$		$t_{SCLK} + 1$	ns

¹ 以驱动沿为基准。

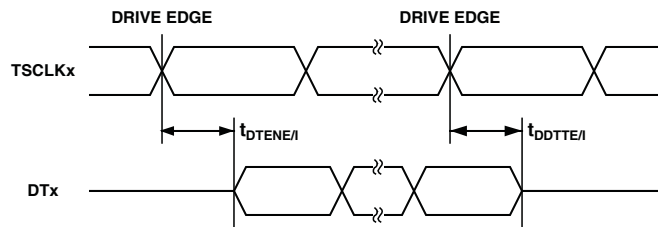


图16. 串行端口—使能和三态

表24. 串行端口—外部晚帧同步

参数	开关特性	V_{DDEXT} 1.8 V标称值		V_{DDEXT} 2.5 V/3.3 V标称值		单位
		最小值	最大值	最小值	最大值	
$t_{DDTLFSE}$	多通道模式下自晚外部TFSx或外部RFSx起的数据延迟时间(MFD = 0) ^{1,2}		12		10	ns
$t_{DTENLFSE}$	多通道模式下自外部RFSx起的数据使能时间(MFD = 0) ^{1,2}	0		0		ns

¹ 多通道模式下，TFSx使能和TFSx有效在 $t_{DTENLFSE}$ 和 $t_{DDTLFSE}$ 之后。

² 如果外部RFSx/TFSx建立到RSCLKx/TSCLKx > $t_{SCLKE}/2$ ，则使用 $t_{DDTE}/1$ 和 $t_{DTNE}/1$ ，否则使用 $t_{DDTLFSE}$ 和 $t_{DTENLFSE}$ 。

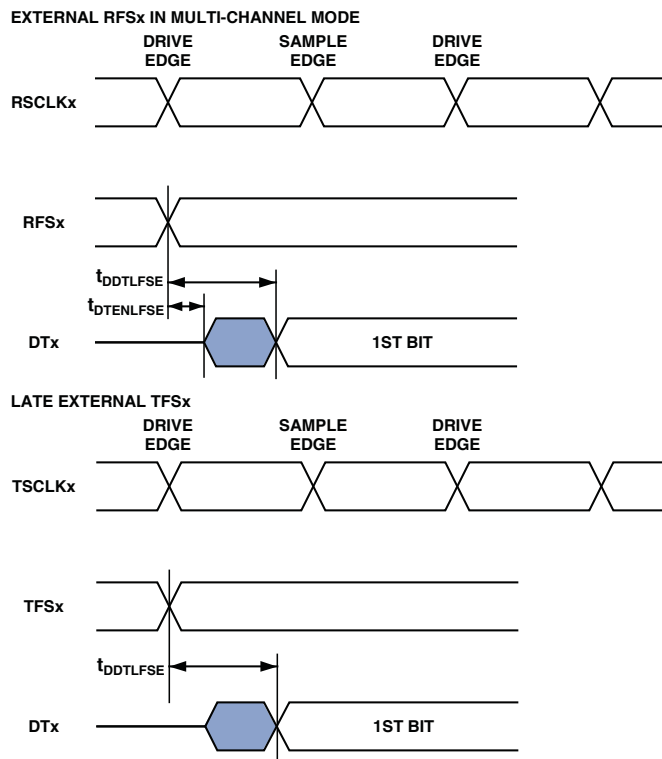
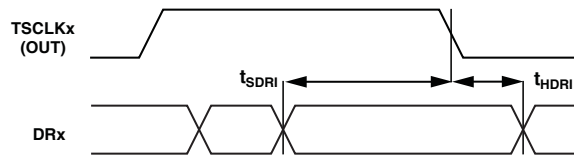


图17. 串行端口—外部晚帧同步

表25. 串行端口—选通时钟模式

参数	V_{DDEXT} 1.8 V标称值		V_{DDEXT} 2.5 V/3.3 V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
t_{SDRI}	TSCLKx之前接收数据建立时间		11.3	8.7	ns
t_{HDRI}	TSCLKx之后接收数据保持时间		0	0	ns
开关特性					
t_{DDTI}	TSCLKx之后发送数据延迟时间			3	ns
t_{HDTI}	TSCLKx之后发送数据保持时间		-1.8		ns
$t_{DFTSCLKCNV}$	TFSx/TMR1低电平之后第一TSCLKx边沿延迟时间		$0.5 \times t_{TSCLK} - 3$	$0.5 \times t_{TSCLK} - 3$	ns
$t_{DCNVLTSCLK}$	最后TSCLKx边沿之后的TFSx/TMR1高电平延迟时间		$t_{TSCLK} - 3$	$t_{TSCLK} - 3$	ns

GATED CLOCK MODE DATA RECEIVE



DELAY TIME DATA TRANSMIT

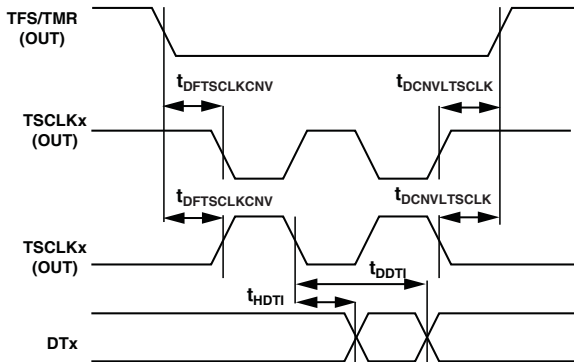


图18. 串行端口选通时钟模式

串行外设接口(SPI)端口—主机时序

表26和图19描述SPI端口主机操作。

表26. 串行外设接口(SPI)端口—主机时序

参数	V_{DDEXT} 1.8 V标称值		V_{DDEXT} 2.5 V/3.3 V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
t_{SSPIDM}	数据输入有效到SCK边沿(数据输入建立)		11.6	9.6	ns
t_{HSPIDM}	SCK采样沿到数据输入无效		-1.5	-1.5	ns
开关特性					
t_{SDSCIM}	$\overline{SPI_SELx}$ 低电平到第一个SCK边沿		$2 \times t_{SCLK} - 1.5$	$2 \times t_{SCLK} - 1.5$	ns
t_{SPICHM}	串行时钟高电平周期		$2 \times t_{SCLK} - 1.5$	$2 \times t_{SCLK} - 1.5$	ns
t_{SPICLM}	串行时钟低电平周期		$2 \times t_{SCLK} - 1.5$	$2 \times t_{SCLK} - 1.5$	ns
t_{SPICLK}	串行时钟周期		$4 \times t_{SCLK} - 1.5$	$4 \times t_{SCLK} - 1.5$	ns
t_{HDMSM}	最后一个SCK边沿到 $\overline{SPI_SELx}$ 高电平		$2 \times t_{SCLK} - 2$	$2 \times t_{SCLK} - 1.5$	ns
t_{SPITDM}	顺序传输延迟时间		$2 \times t_{SCLK} - 1.5$	$2 \times t_{SCLK} - 1.5$	ns
$t_{DDSPIDM}$	SCK边沿到数据输出有效(数据输出延迟)		0	6	ns
$t_{HDSPIDM}$	SCK边沿到数据输出无效(数据输出保持)		-1		ns

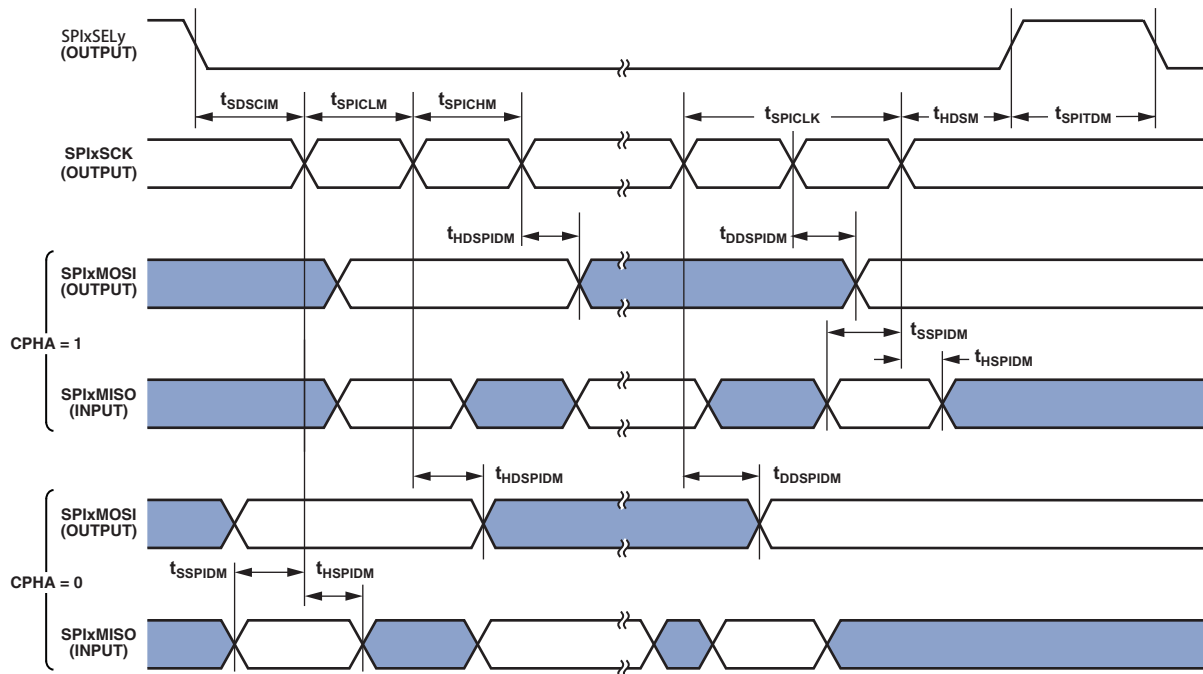


图19. 串行外设接口(SPI)端口—主机时序

串行外设接口(SPI)端口—从机时序

表27和图20描述SPI端口从机操作。

表27. 串行外设接口(SPI)端口—从机时序

参数	V_{DDEXT} 1.8 V标称值		V_{DDEXT} 2.5 V/3.3 V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
t_{SPICHS}	串行时钟高电平周期		$2 \times t_{SCLK} - 1.5$		ns
t_{SPICLS}	串行时钟低电平周期		$2 \times t_{SCLK} - 1.5$		ns
t_{SPICLK}	串行时钟周期		$4 \times t_{SCLK}$		ns
t_{HDS}	最后一个SCK边沿到 $\overline{SPI_SS}$ 未置位		$2 \times t_{SCLK} - 1.5$		ns
t_{SPITDS}	顺序传输延迟时间		$2 \times t_{SCLK} - 1.5$		ns
t_{SDSCI}	$\overline{SPI_SS}$ 置位到第一个SCK边沿		$2 \times t_{SCLK} - 1.5$		ns
t_{SSPID}	数据输入有效到SCK边沿(数据输入建立)		1.6		ns
t_{HSPID}	SCK采样沿到数据输入无效		1.6		ns
开关特性					
t_{DSOE}	$\overline{SPI_SS}$ 置位至数据输出有效		0	12	ns
t_{DSDHI}	$\overline{SPI_SS}$ 解除置位到数据高阻态		0	11	ns
t_{DDSPID}	SCK边沿到数据输出有效(数据输出延迟)		10		ns
t_{HDSPID}	SCK边沿到数据输出无效(数据输出保持)		0		ns

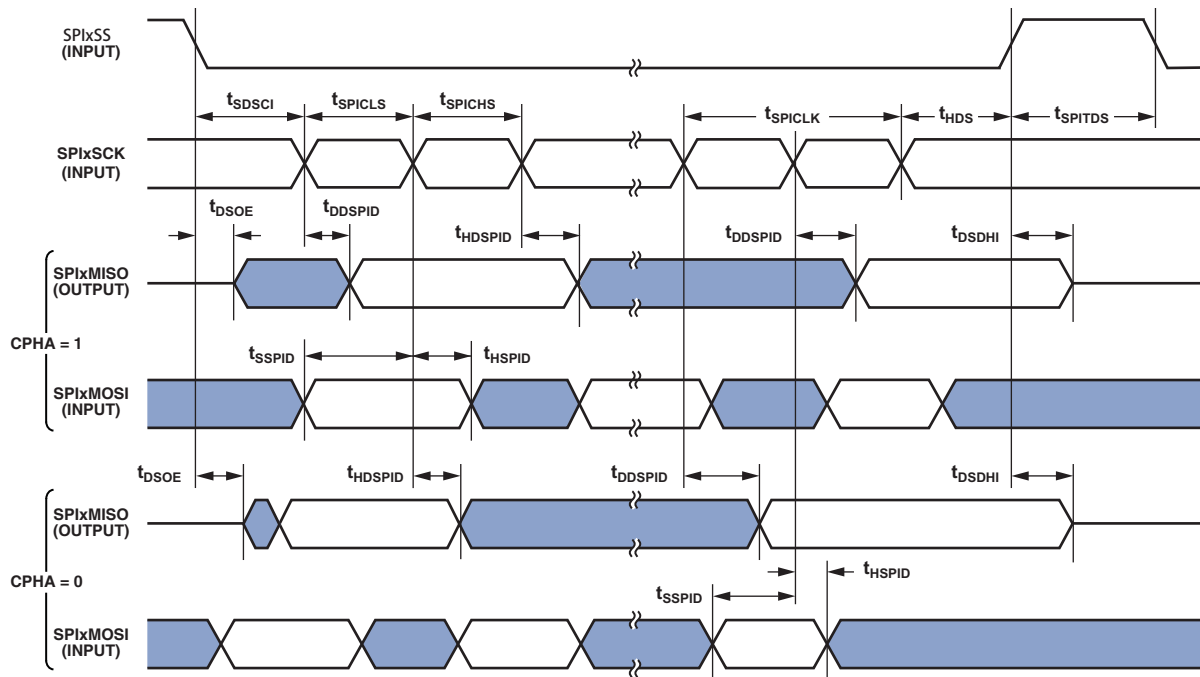


图20. 串行外设接口(SPI)端口—从机时序

通用异步接收器-发送器(UART)端口—接收和发送时序

UART端口接收和发送操作参见《ADSP-BF59x硬件参考手册》(ADSP-BF59x Hardware Reference Manual)。

通用端口时序

表28和图21描述通用端口操作。

表28. 通用端口时序

参数		V _{DDEXT} 1.8 V/2.5 V/3.3 V标称值		单位
		最小值	最大值	
时序要求				
t _{WFI}	通用端口引脚输入脉冲宽度	t _{SCLK} + 1		ns
开关特性				
t _{GPOD}	自CLKOUT低电平起的通用端口引脚输出延迟时间	0	11	

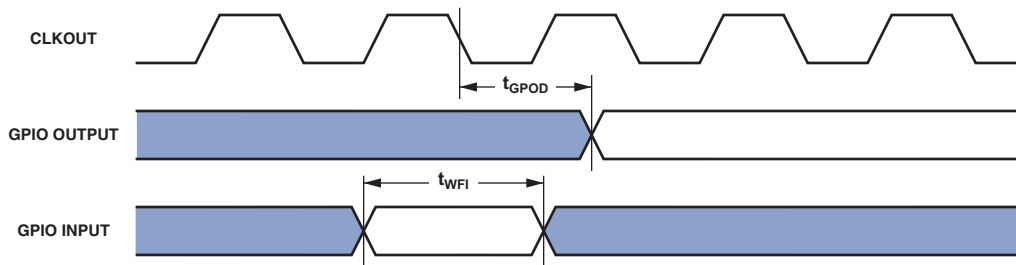


图21. 通用端口时序

定时器周期时序

表29和图22描述定时器超时操作。输入信号在“宽度捕捉模式”和“外部时钟模式”下是异步的，并具有($f_{SCLK}/2$) MHz的绝对最大输入频率。

表29. 定时器周期时序

参数	V_{DDEXT} 1.8 V标称值		V_{DDEXT} 2.5 V/3.3 V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
t_{WL}	定时器脉冲宽度输入低电平 (用SCLK周期衡量) ¹		$1 \times t_{SCLK}$		ns
t_{WH}	定时器脉冲宽度输入高电平 (用SCLK周期衡量) ¹		$1 \times t_{SCLK}$		ns
t_{TIS}	CLKOUT低电平之前定时器输入建立时间 ²		8		ns
t_{TIH}	CLKOUT低电平之后定时器输入保持时间 ²		-2		ns
开关特性					
t_{HTO}	定时器脉冲宽度输出 (用SCLK周期衡量)		$t_{SCLK} - 1.5$		ns
t_{TOD}	CLKOUT高电平之后定时器输出更新延迟时间		6		ns

¹ 最小脉冲宽度适用于宽度捕捉和外部时钟模式下的TMRx信号，此外也适用于PWM输出模式下的PGO或PPI_CLK信号。

² 有效建立和保持时间或有效脉冲宽度就足够了，不需要重新同步可编程标志输入。

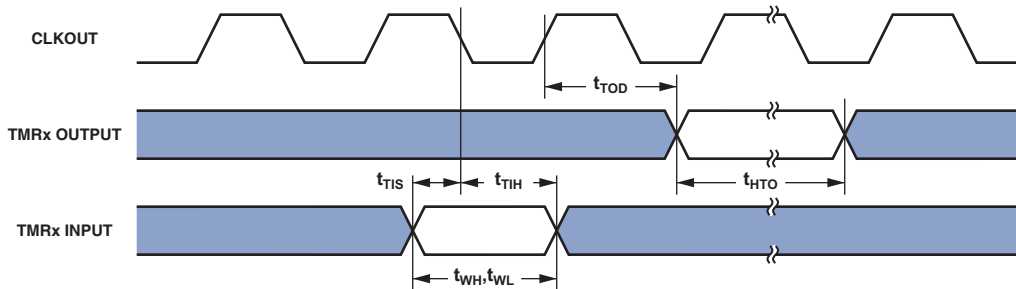


图22. 定时器周期时序

定时器时钟时序

表30和图23描述定时器时钟时序。

表30. 定时器时钟时序

参数	$V_{DDEXT} = 1.8 V$		$V_{DDEXT} = 2.5V/3.3 V$		单位
	最小值	最大值	最小值	最大值	
开关特性					
t_{TODP}	PPI_CLK高电平之后定时器输出更新延迟时间		12.64		ns

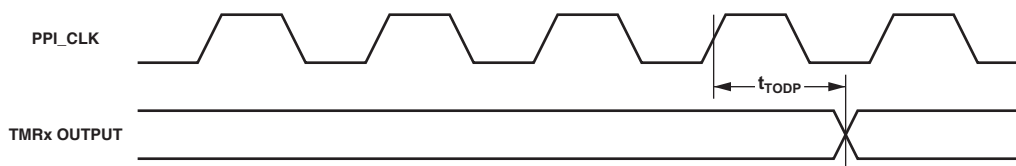


图23. 定时器时钟时序

JTAG测试和仿真端口时序

表31和图24描述JTAG端口操作。

表31. JTAG端口时序

参数	V _{DDEXT} 1.8 V标称值		V _{DDEXT} 2.5 V/3.3 V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
t _{TCK} TCK周期	20		20		ns
t _{STAP} TCK高电平之前TDI、TMS建立时间	4		4		ns
t _{HTAP} TCK高电平之后TDI、TMS保持时间	4		4		ns
t _{SSYS} TCK高电平之前系统输入建立时间 ¹	4		5		ns
t _{HSYS} TCK高电平之后系统输入保持时间 ¹	5		5		ns
t _{TRSTW} $\overline{\text{TRST}}$ 脉冲宽度 ² (用TCK周期衡量)	4		4		TCK
开关特性					
t _{DTDO} 自TCK低电平起的TDO延迟时间		10		10	ns
t _{DSYS} TCK低电平之后系统输出延迟时间 ³		13		13	ns

¹ 系统输入 = SCL、SDA、PF15-0、PG15-0、PH2-0、TCK、 $\overline{\text{NMI}}$ 、BMODE3-0、 $\overline{\text{PG}}$ 。

² 50 MHz最大值。

³ 系统输出 = CLKOUT、SCL、SDA、PF15-0、PG15-0、PH2-0、TDO、 $\overline{\text{EMU}}$ 、EXT_WAKE。

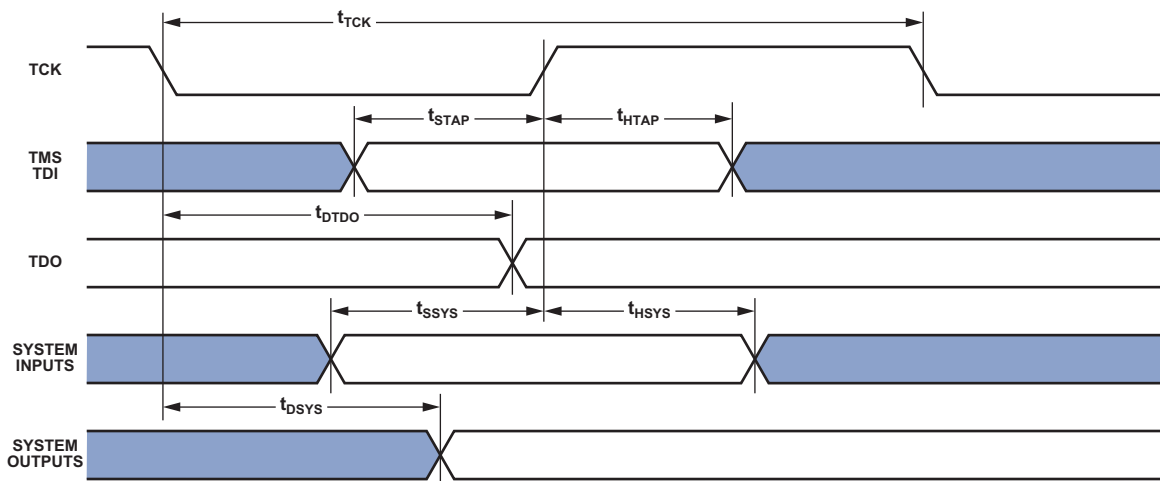


图24. JTAG端口时序

ADSP-BF592

输出驱动电流

图25至图33显示ADSP-BF592处理器的输出驱动器的典型电流-电压特性。

这些曲线代表输出驱动器的电流驱动能力。有关驱动器类型与特定引脚的对应关系，参见第14页的表7。

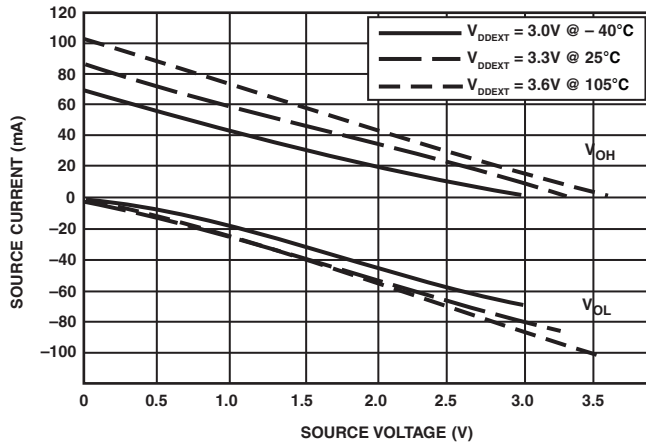


图25. A类驱动器电流(3.3V V_{DDEXT})

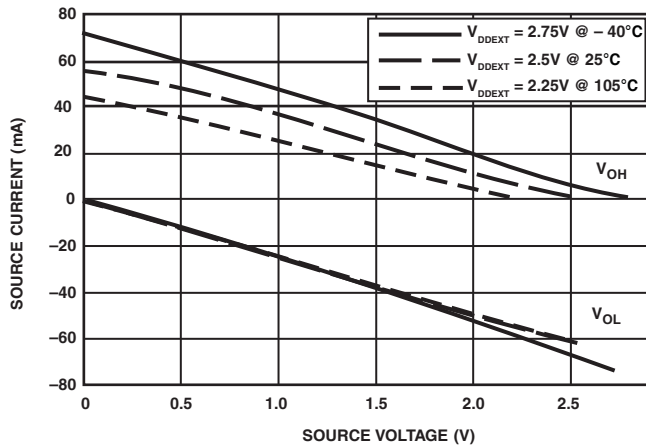


图26. A类驱动器电流(2.5V V_{DDEXT})

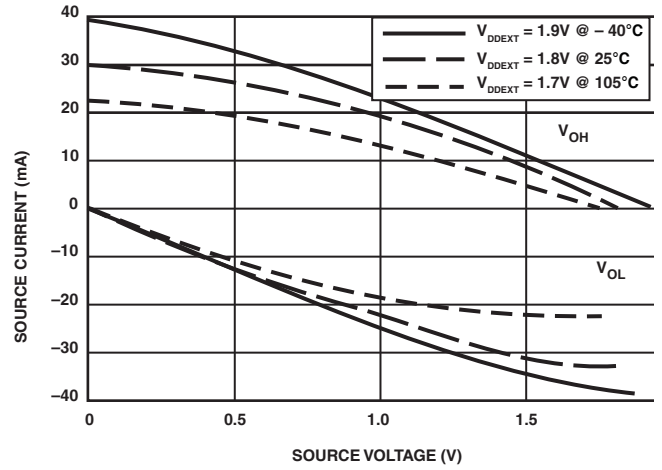


图27. A类驱动器电流(1.8V V_{DDEXT})

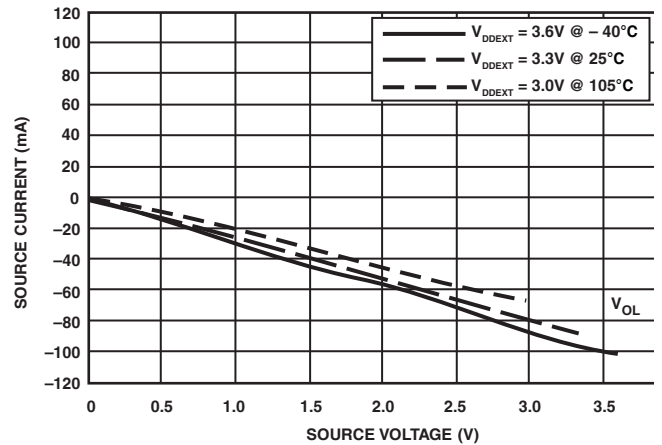


图28. B类驱动器电流(3.3V V_{DDEXT})

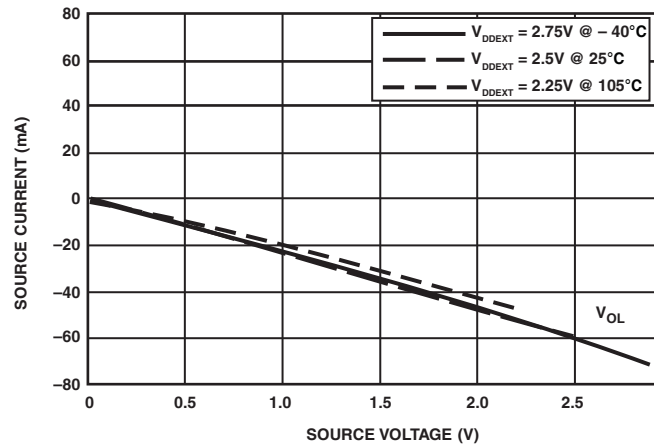


图29. B类驱动器电流(2.5V V_{DDEXT})

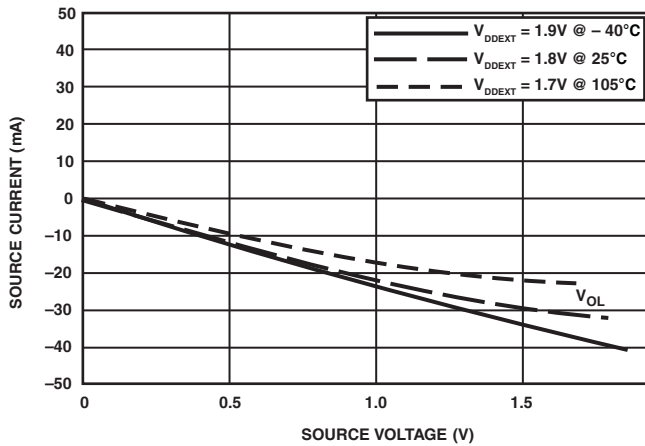


图30. B类驱动器电流(1.8V V_{DDEXT})

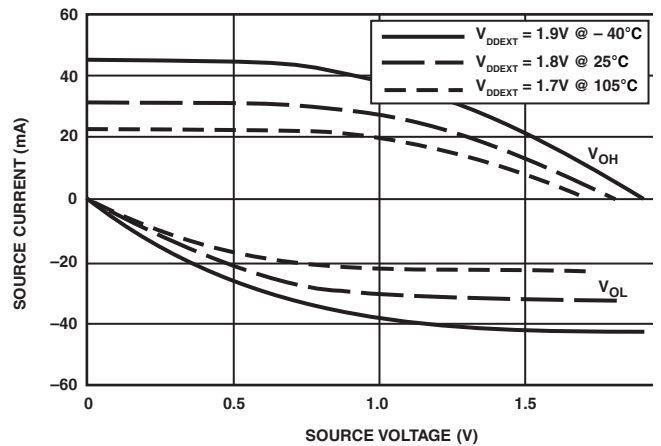


图33. C类驱动器电流(1.8V V_{DDEXT})

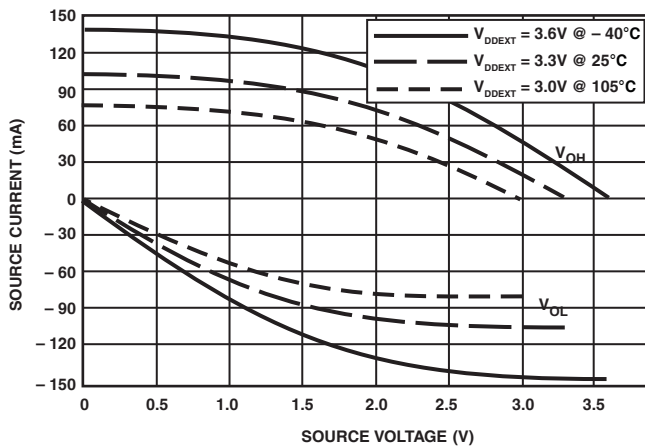


图31. C类驱动器电流(3.3V V_{DDEXT})

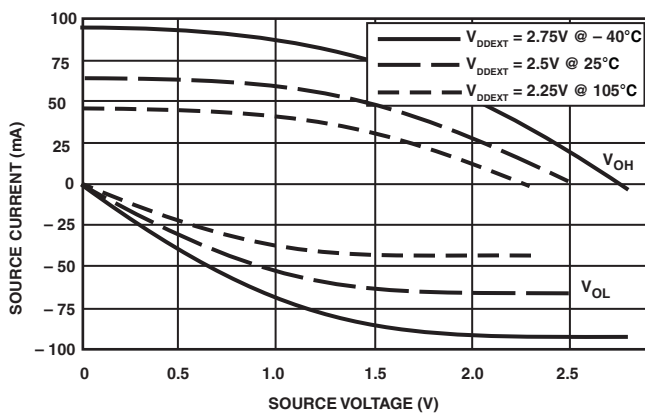


图32. C类驱动器电流(2.5V V_{DDEXT})

测试条件

本数据手册中出现的所有时序参数都是在本部分所述条件下测量得到的。图34显示了交流测量(输出使能/禁用除外)的测量点。对于 V_{DDEXT} (标称值) = 1.8 V/2.5 V/3.3 V, 测量点 V_{MEAS} 为 $V_{DDEXT}/2$ 。

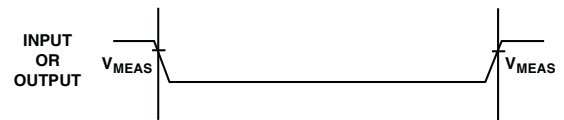


图34. 交流测量(输出使能/禁用除外)的基准电压

输出使能时间测量

当输出引脚从高阻态跃迁到开始驱动的点时, 即认为输出信号已使能。

输出使能时间 t_{ENA} 指的是从参考信号达到高电平或低电平的点到输出开始驱动的点的的时间间隔, 如图35右侧所示。

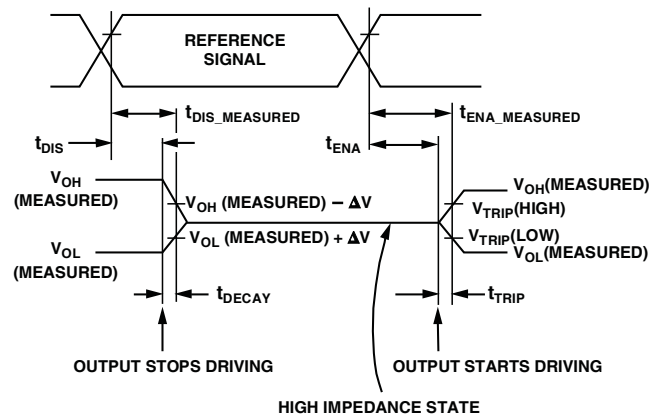


图35. 输出使能/禁用

ADSP-BF592

时间 $t_{ENA_MEASURED}$ 指的是从参考信号切换时到输出电压达到 V_{TRIP} (高)或 V_{TRIP} (低)时的时间间隔,如下所示。

- V_{DDEXT} (标称值)= 1.8 V, V_{TRIP} (高)为1.05 V, V_{TRIP} (低)为0.75 V。
- V_{DDEXT} (标称值)= 2.5 V, V_{TRIP} (高)为1.5 V, V_{TRIP} (低)为1.0 V。
- V_{DDEXT} (标称值)= 3.3 V, V_{TRIP} (高)为1.9 V, V_{TRIP} (低)为1.4 V。

时间 t_{TRIP} 指的是从输出开始驱动时到输出电压达到 V_{TRIP} (高)或 V_{TRIP} (低)跳变电压时的时间间隔。

时间 t_{ENA} 的计算公式如下:

$$t_{ENA} = t_{ENA_MEASURED} - t_{TRIP}$$

如有多个引脚使能,则测量值对应于第一个开始驱动的引脚。

输出禁用时间测量

当输出引脚停止驱动、进入高阻态并开始从输出高电压或低电压衰减时,即认为输出信号已禁用。输出禁用时间 t_{DIS} 指的是 $t_{DIS_MEASURED}$ 与 t_{DECAY} 之差,如图35左侧所示。

$$t_{DIS} = t_{DIS_MEASURED} - t_{DECAY}$$

总线电压衰减 ΔV 的时间取决于容性负载 C_L 和负载电流 I_L 。此衰减时间可以通过下式近似计算:

$$t_{DECAY} = (C_L \Delta V) / I_L$$

时间 t_{DECAY} 利用测试负载 C_L 和 I_L 计算,当 V_{DDEXT} (标称值)= 2.5 V/ 3.3 V时, ΔV 为0.25 V;当 V_{DDEXT} (标称值)= 1.8V时, ΔV 为0.15 V。

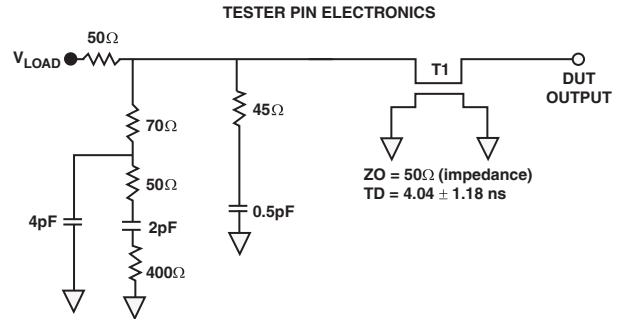
时间 $t_{DIS_MEASURED}$ 指的是从参考信号切换时到输出电压从实测输出高电压或低电压衰减 ΔV 时的时间间隔。

系统保持时间计算示例

为了计算特定系统的数据输出保持时间,首先应利用上面给出的公式计算 t_{DECAY} 。选择 ΔV 等于处理器的输出电压与要求保持时间的器件输入阈值之差。 C_L 为总线总电容(每条数据线), I_L 为总泄漏或三态电流(每条数据线)。保持时间为 t_{DECAY} 加上第21页的时序规格所规定的各种输出禁用时间。

容性负载

输出延迟和保持时间基于所有引脚平均6 pF的标准容性负载(参见图36)。 V_{LOAD} 等于 $(V_{DDEXT})/2$ 。



NOTES:
THE WORST CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD) IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.

ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM MAY INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

图36. 交流测量的等效器件负载(包括所有配件)

图37至图42显示输出上升时间随电容而变化的情况。给定的延迟和保持时间规格应根据从这些图得出的系数减少。在所示范围以外,这些图中的曲线可能不是线性的。

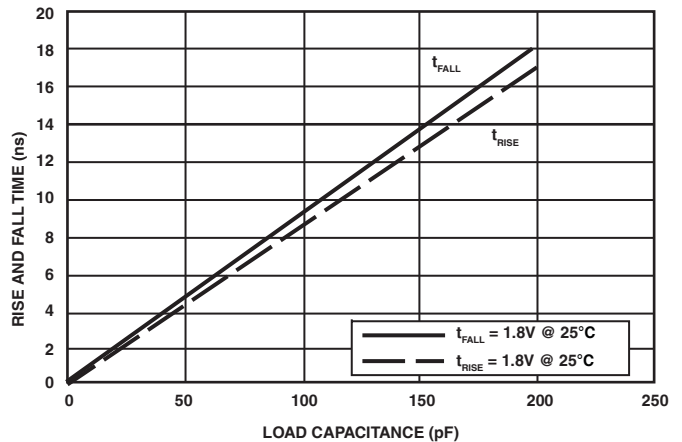


图37. A类驱动器典型上升和下降时间(10%~90%)与负载电容的关系(1.8V V_{DDEXT})

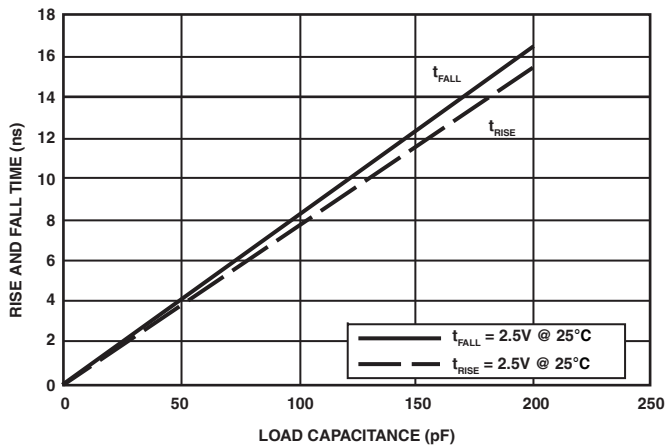


图38. A类驱动器典型上升和下降时间(10%–90%)与负载电容的关系(2.5V V_{DDEXT})

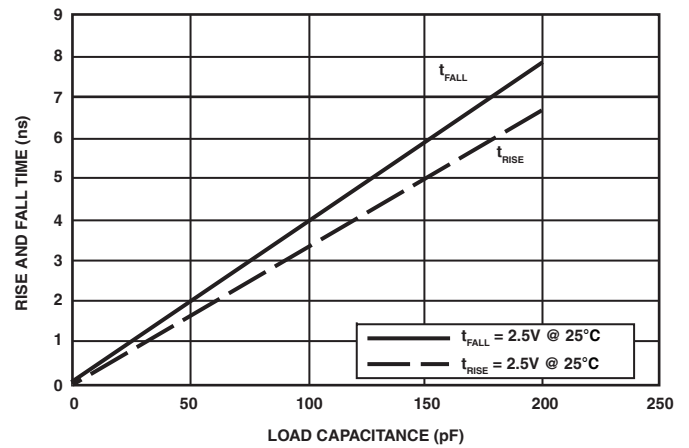


图41. C类驱动器典型上升和下降时间(10%–90%)与负载电容的关系(2.5V V_{DDEXT})

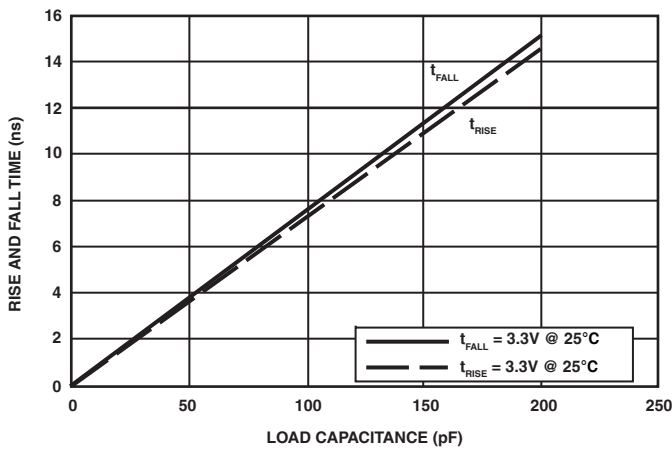


图39. A类驱动器典型上升和下降时间(10%–90%)与负载电容的关系(3.3V V_{DDEXT})

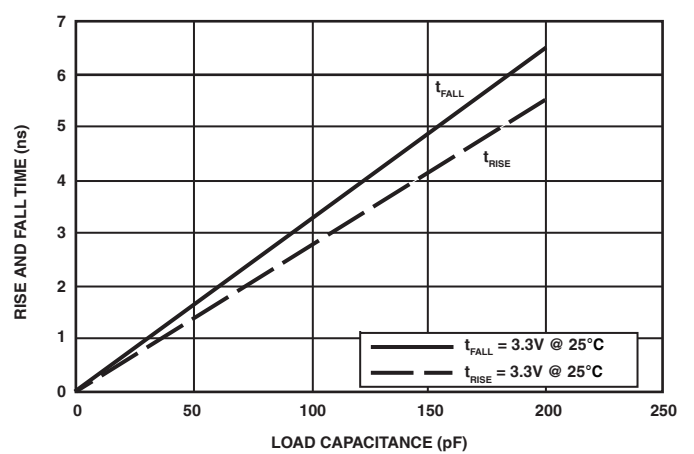


图42. C类驱动器典型上升和下降时间(10%–90%)与负载电容的关系(3.3V V_{DDEXT})

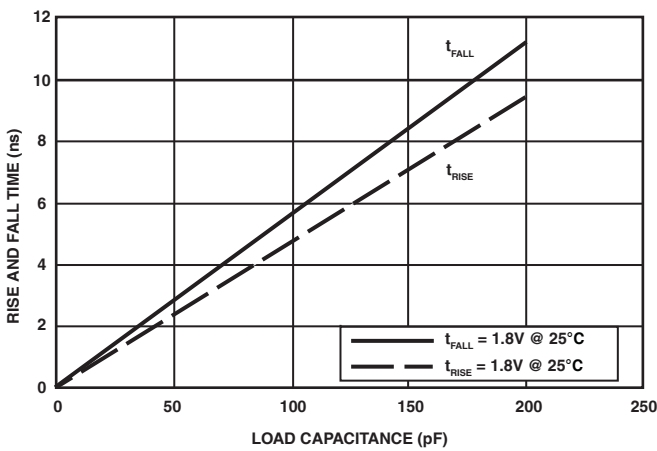


图40. C类驱动器典型上升和下降时间(10%–90%)与负载电容的关系(1.8V V_{DDEXT})

环境条件

应用印刷电路板上的结温计算公式如下：

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

其中：

T_J = 结温(°C)

T_{CASE} = 壳温(°C)，由用户在封装的顶部中央测得。

Ψ_{JT} = 参见表32

P_D = 功耗(计算 P_D 的方法参见第19页的总功耗)

表32. 热特性

参数	条件	典型值	单位
θ_{JA}	0线性m/s气流	23.5	°C/W
θ_{JMA}	1线性m/s气流	20.9	°C/W
θ_{JMA}	2线性m/s气流	20.2	°C/W
θ_{JB}		11.2	°C/W
θ_{JC}		9.5	°C/W
Ψ_{JT}	0线性m/s气流	0.21	°C/W
Ψ_{JT}	1线性m/s气流	0.36	°C/W
Ψ_{JT}	2线性m/s气流	0.43	°C/W

θ_{JA} 值供封装比较和印刷电路板设计考虑时使用。 θ_{JA} 可用于计算 T_J 的一阶近似值，计算公式如下：

$$T_J = T_A + (\theta_{JA} \times P_D)$$

其中：

T_A = 环境温度(°C)

θ_{JC} 值是在需要外部散热器时，供封装比较和印刷电路板设计考虑时使用。

θ_{JB} 值供封装比较和印刷电路板设计考虑时使用。

在表32中，气流测量符合JEDEC标准JESD51-2和JESD51-6，结至板测量符合JESD51-8标准。结至壳测量符合MIL-STD-883标准(方法1012.1)。所有测量均使用2S2P JEDEC测试板。

64引脚LFCSP封装引脚分配

表33按照信号名称顺序列出LFCSP封装引脚。表34按照引脚编号顺序列出LFCSP封装引脚。

表33. 64引脚LFCSP封装引脚分配(按信号名称顺序)

信号	引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号
BMODE0	29	PF7	7	PG6	38	TDO	23
BMODE1	28	PF8	10	PG7	39	TMS	21
BMODE2	27	PF9	11	PG8	42	$\overline{\text{TRST}}$	20
EXTCLK/SCLK	57	PF10	12	PG9	43	V _{DDEXT}	3
CLKIN	61	PF11	13	PG10	44	V _{DDEXT}	14
$\overline{\text{EMU}}$	19	PF12	15	PG11	45	V _{DDEXT}	25
EXT_WAKE	51	PF13	16	PG12	47	V _{DDEXT}	35
GND	30	PF14	17	PG13	48	V _{DDEXT}	46
$\overline{\text{NMI}}$	54	PF15	18	PG14	49	V _{DDEXT}	58
PF0	63	$\overline{\text{PG}}$	52	PG15	50	V _{DDINT}	8
PF1	64	PG0	31	PPI_CLK	56	V _{DDINT}	9
PF2	1	PG1	32	$\overline{\text{RESET}}$	53	V _{DDINT}	26
PF3	2	PG2	33	SCL	60	V _{DDINT}	40
PF4	4	PG3	34	SDA	59	V _{DDINT}	41
PF5	5	PG4	36	TCK	24	V _{DDINT}	55
PF6	6	PG5	37	TDI	22	XTAL	62
						GND*	65

引脚65为处理器的GND电源(参见图43和图44, 6.2 mm × 6.2 mm); 此焊盘必须连接到GND。

表34. 64引脚LFCSP封装引脚分配(按引脚编号顺序)

引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号	信号
1	PF2	17	PF14	33	PG2	49	PG14
2	PF3	18	PF15	34	PG3	50	PG15
3	V _{DDEXT}	19	$\overline{\text{EMU}}$	35	V _{DDEXT}	51	EXT_WAKE
4	PF4	20	$\overline{\text{TRST}}$	36	PG4	52	$\overline{\text{PG}}$
5	PF5	21	TMS	37	PG5	53	$\overline{\text{RESET}}$
6	PF6	22	TDI	38	PG6	54	$\overline{\text{NMI}}$
7	PF7	23	TDO	39	PG7	55	V _{DDINT}
8	V _{DDINT}	24	TCK	40	V _{DDINT}	56	PPI_CLK
9	V _{DDINT}	25	V _{DDEXT}	41	V _{DDINT}	57	EXTCLK/SCLK
10	PF8	26	V _{DDINT}	42	PG8	58	V _{DDEXT}
11	PF9	27	BMODE2	43	PG9	59	SDA
12	PF10	28	BMODE1	44	PG10	60	SCL
13	PF11	29	BMODE0	45	PG11	61	CLKIN
14	V _{DDEXT}	30	GND	46	V _{DDEXT}	62	XTAL
15	PF12	31	PG0	47	PG12	63	PF0
16	PF13	32	PG1	48	PG13	64	PF1
						65	GND*

* 引脚65为处理器的GND电源(参见图43和图44, 6.2 mm × 6.2 mm); 此焊盘必须连接到GND。

ADSP-BF592

图43为LFCSP引脚配置的俯视图。

图44为LFCSP引脚配置的仰视图。

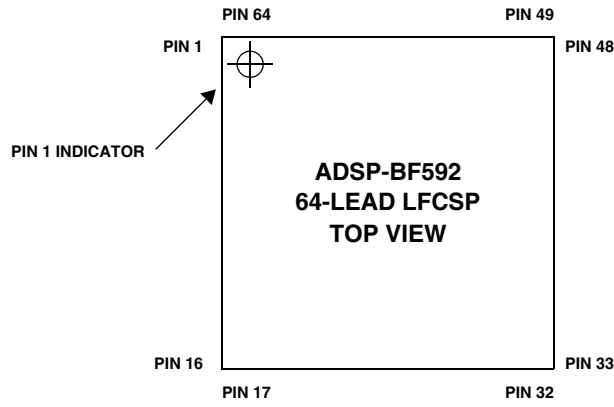


图43. 64引脚 LFCSP引脚配置(俯视图)

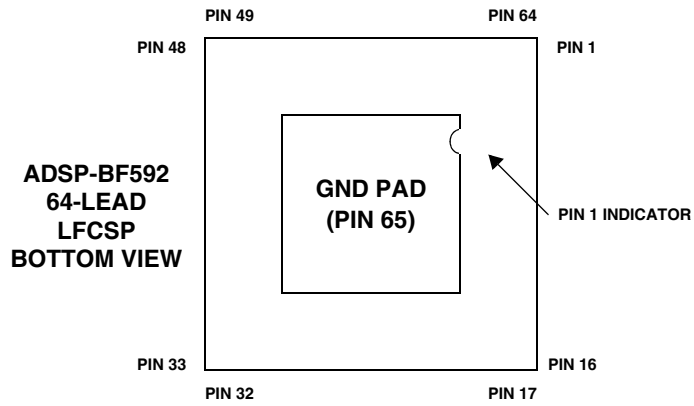
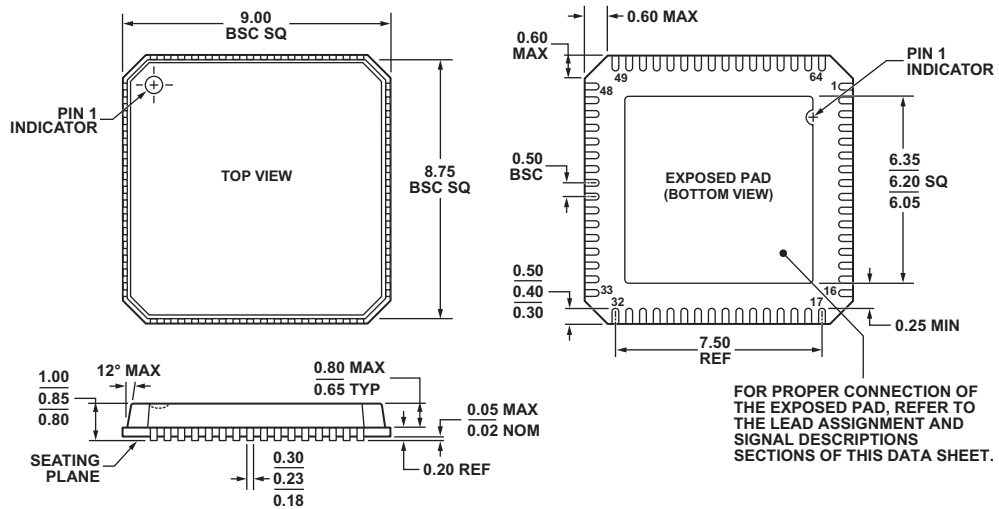


图44. 64引脚 LFCSP引脚配置(仰视图)

外形尺寸

图45所示尺寸为毫米。



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

图45. 64引脚引脚架芯芯片级封装[LFCSP_VQ]¹
超薄体(CP-64-4)
图示尺寸单位: mm

¹ 有关CP-64-4封装上裸露焊盘的信息, 参见第41页表格后的注释。

ADSP-BF592

汽车应用产品

ADSP-BF592生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号，设计人员应仔细阅读本数据手册的产品技术规格部分。只有表35所示的汽车应用级产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

表35. 车用产品

型号 ¹	温度范围 ²	指令速率 (最大值)	封装描述	封装选项
ADBF592WYCPZxx	-40°C至+105°C	400 MHz	64引脚 LFCSP	CP-64-4

¹ Z = 符合RoHS标准的器件。

² 参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第16页的工作条件。

订购指南

型号 ^{1,2}	温度范围 ³	指令速率 (最大值)	封装描述	封装选项
ADSP-BF592KCPZ-2	0°C至+70°C	200 MHz	64引脚 LFCSP	CP-64-4
ADSP-BF592KCPZ	0°C至+70°C	400 MHz	64引脚 LFCSP	CP-64-4
ADSP-BF592BCPZ-2	-40°C至+85°C	200 MHz	64引脚 LFCSP	CP-64-4
ADSP-BF592BCPZ	-40°C至+85°C	400 MHz	64引脚 LFCSP	CP-64-4

¹ Z = 符合RoHS标准的器件。

² 提供广泛的音频算法组合，作为芯片组的一部分并搭配必要的软件出售。欲了解完整列表，请访问我们的网站：www.analog.com/Blackfin。

³ 参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第16页的工作条件。